

GW2AN-18X & 9X FPGA 製品プログラミング ・コンフィギュレーション ユーザーガイド

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN**高云**、Gowin、Arora、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale(GOWINSEMI 取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2021/09/10	1.0J	初版。
2022/03/04	1.0.1J	コンフィギュレーションピンのデフォルトの状態を更新。
2022/07/28	1.0.2J	I ² C コンフィギュレーションモードの説明を追加。
2022/09/06	1.1J	● 5.8 I²C コンフィギュレーションモードを更新。 ● 6.5 バックグラウンドプログラミング(Background Programming)を追加。
2022/12/08	1.1.1J	● CLKHOLD_N ピンの説明を更新。 ● 図 5-40 CPU コンフィギュレーションモードのタイミング図を追加。 ● 表 5-14 CPU コンフィギュレーションモードのタイミングパラメータを追加。
2023/04/13	1.1.2J	● 図 5-39 CPU コンフィギュレーションモードの説明図を更新。 ● 図 5-40 CPU コンフィギュレーションモードのタイミング図を更新。 ● 表 5-14 CPU コンフィギュレーションモードのタイミングパラメータを更新。 ● QSSPI モードを使用した Flash プログラミングの説明を追加。
2023/07/25	1.1.3J	● RECONFIG_N ピンに関する注意事項を更新。 ● 表 5-1 GW2AN-18X/9X FPGA 製品の再パワーアップと RECONFIG_N トリガのタイミングパラメータを更新。 ● MSPI クロックの周波数の誤差に関する注記を追加。
2023/11/16	1.1.4J	● 表 5-8 Status Register の各ビットの意味を更新。 ● コンフィギュレーションファイルのロード時間の計算式を修正。 ● 表 6-1 Gowin GW2AN-18X/9X FPGA 製品のコンフィギュレーションファイルのサイズ(最大値)の注記を変更。 ● 図 5-51 I²C を介した Flash プログラミングのフローチャートを変更。 ● セクション「5.4.5 SSPI コンフィギュレーションモードの接続図」を更新。 ● セクション「I²C を介した Flash 書き込みの手順」を更新。
2024/07/26	1.2J	● 「5.2 AUTO BOOT コンフィギュレーション」を更新。 ● 「図 5-16 デイジーチェーンの接続図」を更新。 ● 「付録 A ピンの状態情報」を追加。 ● JTAG コンフィギュレーション・モードの説明を改善。 ● I²C コンフィギュレーション・モードの説明を改善。 ● 「表 5-1 GW2AN-18X/9X FPGA 製品の再パワーアップと RECONFIG_N トリガのタイミングパラメータ」を更新：T_{portready} の値を修正。
2025/03/28	1.2.1J	デイジーチェーン操作に関する説明を更新。
2025/09/26	1.2.2J	● 「図 5-38 CPU コンフィギュレーションモードの接続図」の注記を変更。 ● 「表 4-3 ピンの機能」を更新：RECONFIG_N ピンの説

日付	バージョン	説明
		明を改善。 ● 「付録 B サンプルファイル情報」を追加。

目次

目次	i
図一覧	iii
表一覧	v
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	2
1.4 テクニカル・サポートとフィードバック	3
2 用語の説明	4
3 コンフィギュレーションモードの概要	7
4 コンフィギュレーションピン	9
4.1 コンフィギュレーションピン一覧および多重化オプション	9
4.1.1 コンフィギュレーションピン一覧	9
4.1.2 コンフィギュレーションピンの多重化	10
4.2 コンフィギュレーションピンの機能とアプリケーション	12
5 コンフィギュレーションモードの詳細	17
5.1 コンフィギュレーションの注意事項	17
5.2 AUTO BOOT コンフィギュレーション	21
5.3 JTAG コンフィギュレーション	21
5.3.1 JTAG コンフィギュレーションモードのピン	21
5.3.2 JTAG コンフィギュレーションモードの接続図	22
5.3.3 JTAG コンフィギュレーションモードのタイミング図	23
5.3.4 JTAG コンフィギュレーションの手順	24
5.4 SSPI コンフィギュレーションモード	41
5.4.1 SSPI コンフィギュレーションモードのピン	41
5.4.2 SSPI コンフィギュレーションモードのタイミング図	43
5.4.3 SSPI コンフィギュレーション命令	44
5.4.4 SSPI コンフィギュレーションモードでの SRAM コンフィギュレーションのフローチャート	47

5.4.5 SSPI コンフィギュレーションモードの接続図	48
5.4.6 SSPI モードでの複数 FPGA の接続図	53
5.5 QSSPI コンフィギュレーションモード	53
5.6 CPU コンフィギュレーションモード	58
5.6.1 コンフィギュレーションのタイミング	59
5.7 SERIAL コンフィギュレーションモード	62
5.8 I ² C コンフィギュレーションモード	64
5.8.1 コンフィギュレーション命令	67
5.8.2 I ² C を介した SRAM コンフィギュレーションの手順	68
5.8.3 I ² C を介した Flash プログラミングの手順	69
5.9 サンプルファイル	72
6 ビットストリームファイルの構成	73
6.1 オプションの設定	73
6.2 コンフィギュレーションデータの暗号化	74
6.2.1 定義	75
6.2.2 暗号化キーの入力	75
6.2.3 復号化キーの入力	76
6.2.4 AES キーのプログラミング操作	76
6.2.5 AES キーのプログラミング手順	78
6.3 コンフィギュレーションファイルのサイズ	82
6.4 コンフィギュレーションファイルのロード時間	83
6.5 バックグラウンドプログラミング (Background Programming)	85
7 安全上の考慮事項	86
8 バウンダリスキャン	88
付録 A ピンの状態情報	90
付録 B サンプルファイル情報	92

図一覧

図 4-1 コンフィギュレーションピンの多重化	12
図 5-1 推奨されるピン接続	19
図 5-2 再パワーアップのタイミング図	20
図 5-3 Low レベルパルスで RECONFIG_N をトリガするタイミング図	20
図 5-4 JTAG コンフィギュレーションモードの接続図	22
図 5-5 JTAG デイジーチェーン・コンフィギュレーションの接続図	23
図 5-6 JTAG コンフィギュレーションモードのタイミング図	23
図 5-7 TAP 状態機械	24
図 5-8 命令レジスタのアクセスタイミング	26
図 5-9 データレジスタのアクセスタイミング	26
図 5-10 ID Code 読み出しの状態機械フローチャート	28
図 5-11 ID Code 読み出し命令-0x11 のアクセスタイミング	28
図 5-12 ID Code(0x0000581B)読み出し際のデータレジスタのアクセスタイミング	28
図 5-13 SRAM コンフィギュレーションのフローチャート	30
図 5-14 SRAM 読み出しのフローチャート	32
図 5-15 Boundary Scan モードを採用した SPI Flash プログラミングのフローチャート	39
図 5-16 デイジーチェーンの接続図	41
図 5-17 SSPI コンフィギュレーションモードのタイミング図	43
図 5-18 ID Code の読み出しのタイミング図	45
図 5-19 Write Enable(0x15)のタイミング図	45
図 5-20 Write Disable (0x3A00)のタイミング図	45
図 5-21 Write Data(0x3B)のタイミング図	46
図 5-22 SSPI コンフィギュレーションモードの接続図	48
図 5-23 SSPI インターフェースを介したオンチップ Flash プログラミングの接続図	49
図 5-24 SSPI を介したオンチップ Flash ID Code 読み出しのタイミング図	49
図 5-25 SSPI を介した WriteDisable(0x04)命令送信のタイミング図	50
図 5-26 SSPI を介した WriteEnable(0x06)命令送信のタイミング図	50
図 5-27 SSPI を介した 1 ページのプログラミングのタイミング図	51
図 5-28 SSPI を介した 1 バイトのリードバックのタイミング図	51

図 5-29 SSPI を介した Flash プログラミングのフローチャート	52
図 5-30 複数 FPGA の接続図 1	53
図 5-31 複数 FPGA の接続図 2	53
図 5-32 QSSPI Write Data (0x6B) のタイミング図	54
図 5-33 QSSPI モードでの SRAM コンフィギュレーションのフローチャート	55
図 5-34 QSSPI モードでの Flash プログラミングのフローチャート	56
図 5-35 QSSPI write instruction のタイミング図	57
図 5-36 QSSPI write data のタイミング図	57
図 5-37 QSSPI page program のタイミング図	57
図 5-38 CPU コンフィギュレーションモードの接続図	59
図 5-39 CPU コンフィギュレーションモードの説明図	60
図 5-40 CPU コンフィギュレーションモードのタイミング図	60
図 5-41 SERIAL コンフィギュレーションモードの接続図	63
図 5-42 SERIAL コンフィギュレーションモードのタイミング図	63
図 5-43 I ² C コンフィギュレーションモードの接続図	65
図 5-44 I ² C コンフィギュレーションモードのタイミング図	65
図 5-45 Reinit のタイミング図	67
図 5-46 SRAM コンフィギュレーションのタイミング図	67
図 5-47 Flash コンフィギュレーションのタイミング図	68
図 5-48 Reboot のタイミング図	68
図 5-49 I ² C を介した SRAM コンフィギュレーションのフローチャート	69
図 5-50 I ² C を介した Flash 消去のフローチャート	70
図 5-51 I ² C を介した Flash プログラミングのフローチャート	72
図 6-1 オプションの設定	74
図 6-2 暗号化キーの設定方法	75
図 6-3 復号化キーの設定方法	76
図 6-4 AES プログラミングのダイアログ	77
図 6-5 準備	78
図 6-6 AES Key の読み出しのフローチャート	79
図 6-7 AES Key のプログラミングのフローチャート	80
図 6-8 AES Key のロックのフローチャート	81
図 6-9 ビットストリーム形式の生成	82
図 6-10 Background Programming オプション	85
図 8-1 バウンダリスキャン操作の説明図	89

表一覧

表 1-1 用語、略語	2
表 2-1 用語の説明	4
表 3-1 コンフィギュレーションモード	7
表 4-1 コンフィギュレーションピン一覧	9
表 4-2 コンフィギュレーションピンの多重化オプション	10
表 4-3 ピンの機能	12
表 5-1 GW2AN-18X/9X FPGA 製品の再パワーアップと RECONFIG_N トリガのタイミングパラメータ	20
表 5-2 JTAG コンフィギュレーションモードのピンの定義	21
表 5-3 JTAG コンフィギュレーションモードのタイミングパラメータ	23
表 5-4 Gowin の一部の FPGA 製品の ID CODE	27
表 5-5 命令送信中の TDI と TMS 値の変化	27
表 5-6 各デバイスの SRAM アドレス数とアドレス長さ	31
表 5-7 ピンの状態	39
表 5-8 Status Register の各ビットの意味	40
表 5-9 SSPI コンフィギュレーションモードのピン	42
表 5-10 SSPI コンフィギュレーションモードのタイミングパラメータ	43
表 5-11 コンフィギュレーション命令	44
表 5-12 QSSPI モードのピン	53
表 5-13 CPU コンフィギュレーションモードのピン	58
表 5-14 CPU コンフィギュレーションモードのタイミングパラメータ	61
表 5-15 SERIAL コンフィギュレーションモードのピンの定義	62
表 5-16 SERIAL コンフィギュレーションモードのタイミングパラメータ	63
表 5-17 I ² C コンフィギュレーションモードのピンの定義	64
表 5-18 I ² C コンフィギュレーションモードのタイミングパラメータ	65
表 5-19 I ² C コンフィギュレーションモードの周波数およびアドレス	66
表 5-20 I ² C コンフィギュレーション命令	67
表 6-1 Gowin GW2AN-18X/9X FPGA 製品のコンフィギュレーションファイルのサイズ(最大値) ..	82
表 6-2 AUTO BOOT モードでのデータストリーム・ファイルのロード時間	83

表 A-1 GW2AN-18X & 9X デバイスのピンの各ステージにおける状態(MSPI, MODE=00)	90
表 A-2 GW2AN-18X & 9X デバイスのピンの各ステージにおける状態(AUTOBOOT, MODE=01) ...	91
表 B-1 サンプルファイル情報	92

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、主に Gowin セミコンダクターの Arora ファミリーの GW2AN-18X/9X FPGA 製品のプログラミング・コンフィギュレーションに関する汎用特性及び機能について説明し、ユーザーが Gowin FPGA 製品を使いこなせるように作成されています。

1.2 関連ドキュメント

GOWIN セミコンダクターの公式 Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW2AN-18X & 9X FPGA 製品データシート([DS971](#))
- GW2AN-18X & 9X FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG973](#))
- GW2AN-18X デバイス Pinout([UG972](#))
- GW2AN-9X デバイス Pinout([UG978](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	説明
Background Programming	Embedded Flash Background Programming	FPGA の動作と I/O ステータスに影響を与えずに、オンチップ Flash のデータストリーム・ファイルを更新することを指します。
Bitstream	Bitstream Data	FPGA SRAM をコンフィギュレーションするデータ
Bscan	Boundary Scan	バウンダリスキャン
Configuration	Configuration	FPGA SRAM エリアをコンフィギュレーションするプロセス
Configuration Data	Configuration Data	FPGA SRAM をコンフィギュレーションするデータ
Configuration Mode	Configuration Mode	Configuration Data ソースを決定するコンフィギュレーションモード
CPU	Central Processing Unit	中央処理装置
CRC	Cyclic Redundancy Check	巡回冗長検査
Edit Mode	Edit Mode	FPGA がコンフィギュレーションモードまたはプログラミングモードであることを示します
EFash/EmbFlash	Embedded Flash	FPGA のオンチップ Flash
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
FS file	Fuses file	コンフィギュレーションデータを含む ASCII ファイル
GPIO	Gowin Programmable I/O	Gowin プログラマブル汎用 IO
I2C (I ² C、IIC)	Inter-Integrated Circuits	I2C バス
ID	Identification	ID 標識番号
IEEE	Institute of Electrical and Electronics Engineers	米国電気電子学会
Internal Flash	Internal Flash	Embedded Flash と同じ
JTAG	Joint Test Action Group	ジョイント・テスト・アクション・グループ
LSB	Least Significant Bit	最下位ビット(優先)
LUT	Look-up Table	ルックアップテーブル
MSB	Most Significant Bit	最上位ビット(優先)
MSPI	Master Serial Peripheral Interface	マスター・シリアル・ペリフェラル・インターフェース

用語、略語	正式名称	説明
Programming	Programming	Configuration Data をオンチップ Flash またはオフチップ Flash にロードするプロセス
SCL	Serial Clock	I2C クロック
SDA	Serial Data	I2C データ
Security Bit	Security Bit	セキュリティビット(SRAM のリードバックを常に High にする)
SPI	Serial Peripheral Interface	シリアル・ペリフェラル・インターフェース
SRAM	Static Random Access Memory	スタティック RAM
SSPI	Slave Serial Peripheral Interface	スレーブ・シリアル・ペリフェラル・インターフェース
TAP	Test Access Port	テストアクセスポート
User Mode	User Mode	FPGA がコンフィギュレーションまたはプログラミングを完了後、ロジック機能を実行するモード

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 用語の説明

本章は、主に **GOWIN** セミコンダクター **FPGA** 製品のプログラミング・コンフィギュレーションでよく使用される一般的な用語について説明します。

表 2-1 用語の説明

用語	意味
プログラミング(Program)	Gowin ソフトウェアが生成したビットストリームデータを、FPGA のオンチップ Flash または FPGA と接続するオフチップ SPI Flash に書き込むプロセスです。
コンフィギュレーション (Configure)	Gowin ソフトウェアが生成するビットストリームデータを、オフチップ Flash またはオンチップ Flash から、FPGA の SRAM にロードするプロセスです。
GowinCONFIG	汎用の JTAG コンフィギュレーションモードに加えて、GOWIN セミコンダクター FPGA 製品は、AUTO BOOT コンフィギュレーション、DUAL BOOT コンフィギュレーション、MSPI コンフィギュレーション、SSPI コンフィギュレーション、SERIAL コンフィギュレーション、および CPU コンフィギュレーションなどのコンフィギュレーションモードをサポートします。各デバイスがサポートする GowinCONFIG コンフィギュレーションモードの数は、デバイス型番とパッケージタイプによって異なります。
MODE[1:0]	GowinCONFIG に関する 2 つの MODE ピンの値を表します。
AUTO BOOT コンフィギュレーション	FPGA はオンチップ Flash からコンフィギュレーションデータを読み出してコンフィギュレーションを行います。このモードをサポートするのは不揮発性デバイスのみです。
MSPI コンフィギュレーション	FPGA はマスター(master)として、SPI インターフェースを介して能動的にオフチップ Flash からビットストリームデータを読み出し、コンフィギュレーションします。
SSPI コンフィギュレーション	FPGA はスレーブ(slave)として動作し、外部マスターは SPI インターフェースを介してビットストリームデータを書き込

用語	意味
	んでコンフィギュレーションします。
QSSPI コンフィギュレーション	FPGA はスレーブ(slave)として動作し、外部マスターは QSPI インターフェースを介してビットストリームデータを書き込んでコンフィギュレーションします。
SERIAL コンフィギュレーション	FPGA はスレーブ(slave)として動作し、外部マスターはシリアルインターフェースを介してビットストリームデータを書き込んでコンフィギュレーションします。
CPU コンフィギュレーション	FPGA はスレーブ(slave)として動作し、外部マスターはパラレルインターフェース(データ幅は 8 ビット)を介してビットストリームデータを書き込んでコンフィギュレーションします。
I ² C コンフィギュレーション	FPGA はスレーブ(slave)として動作し、外部マスターは I ² C インターフェースを介してビットストリームデータを書き込んでコンフィギュレーションします。
MULTI BOOT コンフィギュレーション	MSPI コンフィギュレーションモードの派生概念で、FPGA がオフチップ Flash の異なるアドレスからビットストリームデータを読み出してコンフィギュレーションすることを指します。ユーザーが前のビットストリームデータに次のコンフィギュレーション用ビットストリームデータのロードアドレスを書き込み、パワーダウンしないまま RECONFIG_N をトリガしてデータストリーム・ファイルを切り換えてコンフィギュレーションします。MSPI モードをサポートする FPGA 製品はすべてこのモードをサポートします。
リモートアップグレード	ユーザーのアプリケーションシナリオの 1 つです。つまり FPGA が動作を開始した後、アップグレードしたい場合、まずリモート操作でビットストリームデータをオフチップ Flash に書き込み、そして RECONFIG_N をトリガするかまたは再パワーアップすることで FPGA がオフチップ Flash からデータを読み出してコンフィギュレーションするようにします。
デイジーチェーン	FPGA デバイスを直列に接続する方法。接続順にチェーンの先頭からデバイスをコンフィギュレーションでき、データは隣接デバイス間でのみ転送できます。
ユーザーモード(User Mode)	FPGA のコンフィギュレーションが完了した後、制御がユーザーに渡されることを指します。コンフィギュレーションピンを通常の I/O に多重化する設定は、ユーザーモードでのみ有効です。
編集モード(Edit Mode)	デバイスをプログラミング・コンフィギュレーションできるモードです。 編集モードでは、コンフィギュレーションピンは通常の I/O として使用できず、通常のピンの出力はハイインピーダンスとなります (バックグラウンドアップグレードの場合を除く)。
ID CODE	GOWIN セミコンダクターFPGA デバイスの ID 標識です。各

用語	意味
	シリーズのデバイスには個別の番号があります。
USER CODE	ユーザーが使用している FPGA デバイスのユーザーID であり、 Gowin プログラミングソフトウェアを介してデバイスに書き込むことができます。最大 32 ビットの USER CODE がサポートされます。
セキュリティビット (Security Bit)	GOWIN セミコンダクターが FPGA 製品のコンフィギュレーションデータを保護するために設計したものです。ユーザーがデバイスの SRAM にセキュリティビット設定済みのビットストリームデータを書き込んだ後は、だれもデータをリードバックできません。デフォルトでは、 Gowin ソフトウェアはすべての FPGA 製品のビットストリームデータにセキュリティビットを設定しています。
暗号化(Encryption)	Arora ファミリーの FPGA 製品でサポートされる機能です。暗号化されたビットストリームが FPGA に書き込まれると、デバイスはそれを事前に保存されているキーと照合し、照合が成功すると復号化してデバイスを起動します。

3 コンフィギュレーションモードの概要

JTAG モードのほか、Arora ファミリーFPGA 製品は GOWIN 独自の GowinCONFIG モードもサポートします。各デバイスがサポートする GowinCONFIG コンフィギュレーションモードの数は、デバイス型番とパッケージ・タイプによって異なります。デバイスはビットストリームデータ暗号化とセキュリティビット設定をサポートするので、安全性が高いです。Arora ファミリーFPGA 製品はビットストリームデータの圧縮・解凍をサポートしており、ユーザーはビットストリームデータを圧縮することでメモリ領域を節約することができます。

Gowin の GW2AN-18X/9X FPGA 製品は、16M ビットのシリアル Flash (Quad SPI 付き) メモリを内蔵しており、最大 100MHz の Quad SPI コンフィギュレーションモードと Fixed-Address GODEN-IMAGE モードをサポートします。

GW2AN-18X/9X FPGA 製品がサポートするコンフィギュレーションモードは、表 3-1 に示す通りです。

表 3-1 コンフィギュレーションモード

コンフィギュレーションモード		MODE[1:0] ^[1]	説明
JTAG		XX ^[2]	外部 Host が JTAG インターフェースを介して、FPGA 製品をコンフィギュレーションします最大周波数は 62.5MHz です。
GowinCONFIG	MSPI ^[5]	00	FPGA が Master として、SPI インターフェースを介してオンチップ Flash からコンフィギュレーションデータを読み出して、コンフィギュレーションを行います最大周波数は 100MHz です。
	Autoboot	01	FPGA が Master として、QSPI インターフェースを介してオンチップ Flash からコンフィギュレーションデータを読み

コンフィギュレーションモード		MODE[1:0] ^[1]	説明
			出して、コンフィギュレーションを行います GOLDEN IMAGE をサポートします。最大周波数は 100MHz です。
	SSPI	0X ^[3]	Autoboot または MSPI が完了すると、自動的にサポートされます。外部 Host が SPI インターフェースを介して、 FPGA 製品をコンフィギュレーションします 最大周波数は 100MHz です。
	QSSPI		Autoboot または MSPI が完了すると、自動的にサポートされます。外部 Host が QSPI インターフェースを介して、 FPGA 製品をコンフィギュレーションします 最大周波数は 100MHz です。
	I ² C		Autoboot または MSPI が完了すると、自動的にサポートされます。外部 Host が I²C インターフェースを介して、 FPGA 製品をコンフィギュレーションします サポートされる周波数範囲は 100KHz ～ 555KHz です。
	SERIAL ^[4]	10	外部 Host が DIN インターフェースを介して、 FPGA 製品をコンフィギュレーションします
	CPU ^[4]	11	外部 Host が DBUS インターフェースを介して、 FPGA 製品をコンフィギュレーションします

注記：

- [1] MODE ピンが完全にボンディングされていない場合、ボンディングされていない MODE の値については、対応するパッケージの **pinout** マニュアルを参照してください。
- [2] JTAG コンフィギュレーションモードは **MODE[1:0]** 入力値とは関係ありません。
- [3] SSPI コンフィギュレーションモードは **MODE0** 入力値とは関係ありません。
- [4] CPU コンフィギュレーションモードは、**SERIAL** コンフィギュレーションモードと、**SCLK**、**WE_N**、および **CLKHOLD_N** ピンを共有します。CPU コンフィギュレーションモードは、**MSPI** および **SSPI** コンフィギュレーションモードと、データバスピンを共有します。
- [5] MSPI コンフィギュレーションモードのクロック周波数には、±10%の誤差があります。

注記：

コンフィギュレーションピン、コンフィギュレーションピンの多重化、およびコンフィギュレーションピンの機能・アプリケーションについては、[4 コンフィギュレーションピン](#)を参照してください。

4 コンフィギュレーションピン

Gowin FPGA 製品は、汎用 JTAG コンフィギュレーション、マスターコンフィギュレーション、スレーブコンフィギュレーション、シリアルコンフィギュレーション、パラレルコンフィギュレーションなど、ユーザーの多様なニーズを満たすさまざまなコンフィギュレーションモードをサポートします。プログラミング・コンフィギュレーションに関連するピンは、必要に応じてコンフィギュレーション用または通常の I/O に設定することができます。さらに、ユーザーは必要に応じてコンフィギュレーションピンを利用して特別な機能を実現することもできます。

4.1 コンフィギュレーションピン一覧および多重化オプション

4.1.1 コンフィギュレーションピン一覧

表 4-1 には、GOWIN セミコンダクターFPGA 製品のすべてのコンフィギュレーション関連のピンが示されています。

表 4-1 コンフィギュレーションピン一覧

ピン名	I/O タイプ	JTAG	GowinCONFIG					
			AUTO BOOT	I ² C	SSPI	QSSPI	SERIAL	CPU
RECONFIG_N	I	Yes	Yes	Yes	Yes	Yes	Yes	Yes
JTAGSEL_N	I	Yes						
TDO	O	Yes						
TMS	I	Yes						
TCK	I	Yes						
TDI	I	Yes						
READY	I/O	Yes	Yes	Yes	Yes	Yes	Yes	Yes
DONE	I/O	Yes	Yes	Yes	Yes	Yes	Yes	Yes

ピン名	I/O タイプ	JTAG	GowinCONFIG					
			AUTO BOOT	I ² C	SSPI	QSSPI	SERIAL	CPU
MODE[1:0]	I		Yes	Yes	Yes	Yes	Yes	Yes
SCLK	I				Yes	Yes	Yes	Yes
CLKHOLD_N/DIN	I				Yes	Yes	Yes	Yes
WE_N/DOUT	O					Yes	Yes	Yes
D7	I/O							Yes
D6	I/O							Yes
D5	I/O							Yes
D4	I/O							Yes
FASTRD_N/D3	I/O							Yes
SI/D2	I/O				Yes	Yes		Yes
SO/D1	I/O				Yes	Yes		Yes
SSPI_CS_N/D0	I/O				Yes	Yes		Yes
SCL	I			Yes				
SDA	I/O			Yes				

注記：

- サポートされるコンフィギュレーションモードはデバイスとパッケージによって異なります。詳細については、[3 コンフィギュレーションモードの概要](#)を参照してください。
- 各コンフィギュレーションモードでの各ピンの定義については、[5 コンフィギュレーションモードの詳細](#)を参照してください。

4.1.2 コンフィギュレーションピンの多重化

I/O を最大限に利用するために、GOWIN セミコンダクターFPGA 製品はコンフィギュレーションピンを通常の I/O に設定することをサポートします。すべてのシリーズの FPGA では、パワーアップ後、コンフィギュレーション関連ピンはコンフィギュレーションされるまでデフォルトでコンフィギュレーションピンとして使用されます。コンフィギュレーションが成功すると、デバイスはユーザーモードに入り、ユーザーが選択した多重化オプションに従ってピンの機能が再割り当てられます。

注記：

ユーザーがピン多重化オプションを設定するとき、ピンの外部初期接続状態がデバイスのコンフィギュレーションに影響を及ぼさないようにすることが必要です。コンフィギュレーションに影響を与える接続の場合は、まず分離処理を実行し、ユーザーモードになってから変更する、必要があります。

コンフィギュレーションピンの多重化オプションは表 4-2 に示すとおりです。

表 4-2 コンフィギュレーションピンの多重化オプション

名称	オプション	説明
JTAG PORT	デフォルトの状態	TMS、TCK、TDI、および TDO は専用のコンフィギュレーションピンとして使用され

名称	オプション	説明
		ます。JTAGSEL_N は GPIO として使用されます。
	通常の I/O として設定	JTAGSEL_N は専用のコンフィギュレーションピンとして使用されます： ● JTAGSEL_N=0 の場合、TMS,TCK,TDI,TDO はコンフィギュレーションピンとして使用されます。 ● JTAGSEL_N=1 の場合、TMS,TCK,TDI,TDO はコンフィギュレーション終了後 GPIO として使用されます。
I ² C PORT	デフォルトの状態	SCL と SDA は、専用のコンフィギュレーションピンとして使用されます。
	通常の I/O として設定	SCL と SDA は、コンフィギュレーション終了後 GPIO として使用されます。
SSPI PORT	デフォルトの状態	SCLK、CLKHOLD_N、SSPI_CS_N、SI、および SO は専用のコンフィギュレーションピンとして使用されます。
	通常の I/O として設定	SCLK、CLKHOLD_N、SSPI_CS_N、SI、および SO はコンフィギュレーション終了後 GPIO として使用されます。
QSSPI PORT	デフォルトの状態	SCLK、CLKHOLD_N、SSPI_CS_N、SI と SO、および QSSPI_WPN は、専用のコンフィギュレーションピンとして使用されます。
	通常の I/O として設定	SCLK、CLKHOLD_N、SSPI_CS_N、SI と SO、および QSSPI_WPN は、コンフィギュレーション終了後 GPIO として使用されます。
RECONFIG_N	デフォルトの状態	専用のコンフィギュレーションピン
	通常の I/O として設定	コンフィギュレーション終了後 GPIO として使用されます。
READY	デフォルトの状態	専用のコンフィギュレーションピン
	通常の I/O として設定	コンフィギュレーション終了後 GPIO として使用されます。
DONE	デフォルトの状態	専用のコンフィギュレーションピン
	通常の I/O として設定	コンフィギュレーション終了後 GPIO として使用されます。

注記：

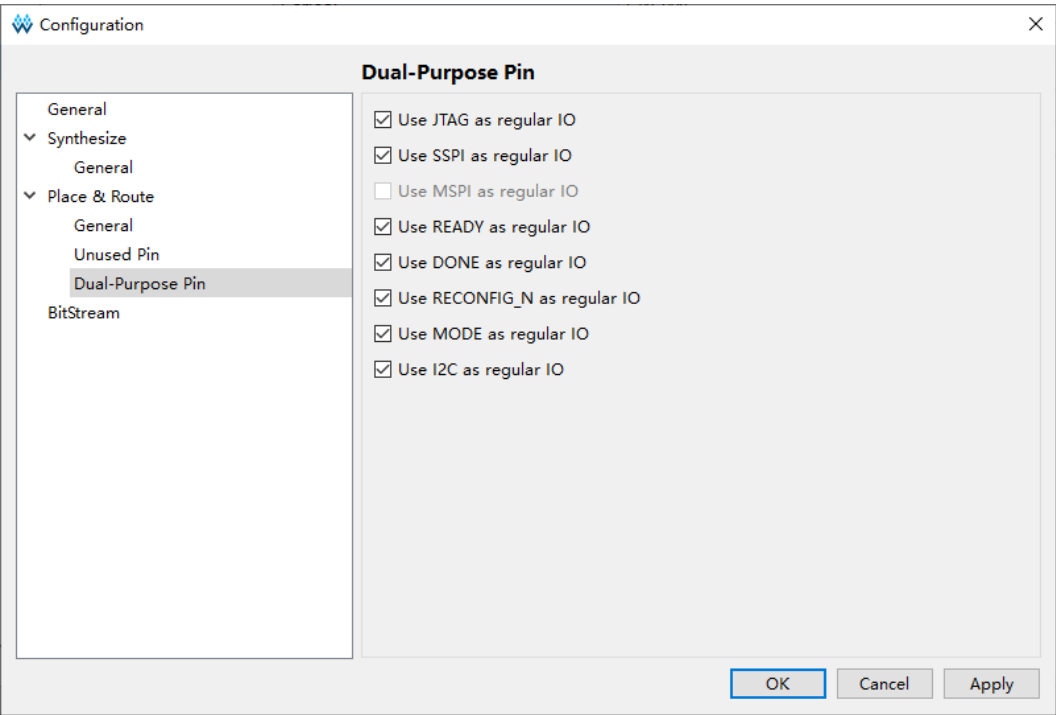
- [1] JTAGSEL_N がボンディングされていないデバイスの場合、JTAG ピンが多重化されたケースをデバッグするときは、他のビットストリームデータがコンフィギュレーションに影響を与えないように、パワーアップ前に現在の MODE 値により FPGA がコンフィギュレーションされないことを確認することを推奨します。電源投入後にユーザーが手動で JTAG コンフィギュレーションを実行すると、デバイスはユーザーモードになり、JTAG ピンが GPIO になります。

- [2] SERIAL および CPU コンフィギュレーションモードのピンは、他のコンフィギュレーションモードと共有されるため、個別に GPIO に設定することはできませんが、これらのピンが非共有コンフィギュレーションモードで動作している場合は、GPIO に設定することが可能です。

コンフィギュレーションピンの多重化

- Gowin ソフトウェアでピンの多重化を設定できます。
1. Gowin ソフトウェアでプロジェクトを開きます。
 2. メニューバーで、“Project > Configuration > Dual-Purpose Pin” を選択します(図 4-1)。
 3. 対応するオプションにチェックを入れてピンの多重化を設定します。

図 4-1 コンフィギュレーションピンの多重化



4.2 コンフィギュレーションピンの機能とアプリケーション

RECONFIG_N、READY、および DONE ピンは、各モードで使用されるピンです。他のコンフィギュレーションピンは、アプリケーションに応じて、専用のコンフィギュレーションピンまたは通常のピンに設定できます。

表 4-3 ピンの機能

ピン名	機能の説明
RECONFIG_N	コンフィギュレーションピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。RECONFIG_N は、アクティブ Low であり、FPGA プログラミング・コンフィギュレーションのリセットのような機能を実現します。RECONFIG_N が Low にプルダウンされると、FPGA はコンフィギュレーションできなくなります。 FPGA のパワーアップ、初期化、およびコンフィギュレーション中

ピン名	機能の説明
	はこのピンを High に維持する必要があり、コンフィギュレーション後に解放できます。 コンフィギュレーション・ピンとして使用される場合、1つのパルス幅が 25ns 以上の Low レベルで GowinCONFIG コンフィギュレーション・モードを起動し、デバイスが MODE 設定値に従ってビットストリームデータをリロードする必要がある必要があります。また、ユーザーは、ロジックの設計により、このピンのトリガ条件をカスタマイズできます：(1)ボンディングされた RECONFIG_N ピンを持つデバイスの場合、I/O 位置を制約することで RECONFIG_N 機能を制御できます。(2)ボンディングされた RECONFIG_N ピンを持たないデバイスの場合、net 制約を介して RECONFIG_N ノードに接続することで RECONFIG_N 機能を制御できます。制約方法の詳細については、『Gowin 物理制約ユーザーガイド(SUG935)』のセクション A.1「I/O 位置制約」 およびセクション A.10.2「RECONFIG_N net の制約」 を参照してください。 GPIO として使用される場合は、入力または出力に使用できます。コンフィギュレーションを成功させるには、多重化する場合は RECONFIG_N の初期値を High にする必要があります。
READY	入出力ピン。READY はアクティブ High であり、High にプルアップされた場合にのみ FPGA はコンフィギュレーションできます。 READY が Low にプルダウンされた後、状態を回復するには、デバイスのパワーアップまたは RECONFIG_N のトリガが必要です。 コンフィギュレーションピンとして使用される際、方向が出力である場合、現在 FPGA をコンフィギュレーションできるかどうかを示すことができます。コンフィギュレーション条件が満たされると、READY 信号が High になります。コンフィギュレーションが失敗した場合、READY 信号が Low になります。方向が入力である場合、ユーザーは READY 信号を意図的に Low にプルダウンして、コンフィギュレーションを遅延させることができます。 GPIO として使用される場合は、入力または出力に使用できます。 GPIO 入力として使用される場合、コンフィギュレーションする前に READY の初期値が 1 である必要があります。そうでないと FPGA をコンフィギュレーションできなくなります。
DONE	入出力ピン。DONE は、FPGA コンフィギュレーションの成功を示す信号で、コンフィギュレーションが成功したら、DONE 信号は High にプルアップされます。 コンフィギュレーションピンとして使用される場合、出力ピンの場合、FPGA のコンフィギュレーションが成功したかどうかを示すことができます。コンフィギュレーションが成功した場合、DONE 信号は High になり、デバイスは動作状態になります。コンフィギュレーションが未完成またはコンフィギュレーションが失敗した場合、DONE 信号は Low のままになります。方向が入力である場合、ユーザーは DONE 信号を意図的に Low にプルダウンして、ユーザーモー

ピン名	機能の説明
	ドへのエントリを遅らせることができます。RECONFIG_N または READY が Low のままである場合、DONE 信号も Low のままになります。JTAG 回路を使用して SRAM をコンフィギュレーションする場合、DONE 信号を無視してください。 GPIO として使用される場合は、入力または出力に使用できます。 GPIO 入力として使用される場合、コンフィギュレーションする前に DONE の初期値が 1 である必要があります。そうでないと FPGA はコンフィギュレーションの終了後にユーザーモードに入ることができなくなります。
MODE	GowinCONFIG モード選択信号コンフィギュレーションピンとして使用される場合、内部の弱いプルダウンを持つ入力ピンです。最大幅は 2 ビットです。FPGA に電源が投入されるか、または Low レベルパルスで RECONFIG_N がトリガされると、デバイスは MODE 値に従って対応するコンフィギュレーションモードに入ります。 GOWIN セミコンダクターの各 FPGA 製品シリーズの MODE 値に対応するコンフィギュレーションモードは多少異なります。パッケージによっては、MODE ピンが完全にボンディングされていないことがあります。ボンディングされていない MODE ピンについては、対応するデバイスの Pinout マニュアルを参照してください。 GPIO として使用される場合、入力または出力に使用できます。 MODE 値が変更された場合は、それを有効にするために再パワーアップするか、または Low レベルで RECONFIG_N をトリガする必要があります。
JTAGSEL_N	コンフィギュレーションピンとして使用される場合、内部の弱いプルダウンを持つ入力ピンです。Gowin ソフトウェアで JTAG ピンを GPIO として多重化するように設定した場合、パワーアップして正常にコンフィギュレーションした後、JTAG ピンは GPIO になり、JTAG コンフィギュレーション機能が無効になります。ユーザーは JTAGSEL_N 信号を Low にプルダウンすることによって JTAG コンフィギュレーション機能を復元できます。ユーザーが JTAG ピンの多重化を設定していない場合、JTAG コンフィギュレーション機能は常に使用できます。GPIO として使用される場合は、入力または出力に使用できます。 注記： JTAGSEL_N ピンと JTAG の 4 ピン(TCK、TMS、TDI、TDO)は相互に排他的なピンです。つまり、JTAGSEL_N が GPIO として設定された場合、JTAG ピンはコンフィギュレーションピンとしてのみ使用でき、JTAG ピンが GPIO として設定された場合、JTAGSEL_N ピンはコンフィギュレーションピンとしてのみ使用できます。
TCK	コンフィギュレーションピンとして使用される場合、入力ピンです。JTAG モードにおけるシリアルクロック入力ピンです。GPIO として使用される場合は、入力または出力に使用できます。
TMS	コンフィギュレーションピンとして使用される場合、内部の弱いプ

ピン名	機能の説明
	ルアップを持つ入力ピンです。 JTAG モードにおけるシリアルモード入力ピンです。GPIO として使用される場合は、入力または出力に使用できます。
TDI	コンフィギュレーションピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。 JTAG モードにおけるシリアルデータ入力ピンです。GPIO として使用される場合は、入力または出力に使用できます。
TDO	コンフィギュレーションピンとして使用される場合、出力ピンです。 JTAG モードにおけるシリアルデータ出力ピンです。GPIO として使用される場合は、入力または出力に使用できます。
SCLK	コンフィギュレーションピンとして使用される場合、入力ピンです。 SSPI、SERIAL、および CPU モードにおけるクロック入力ピンです。GPIO として使用される場合は、入力または出力に使用できます。
CLKHOLD_N	コンフィギュレーションピンとして使用される場合、内部の弱いプルダウンを持つ入力ピンです。 SSPI と CPU モードにおけるクロック・ホールド・ピン : SSPI モードではアクティブ High、CPU モードではアクティブ Low です。GPIO として使用される場合は、入力または出力に使用できます。
SSPI_CS_N	コンフィギュレーションピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。SSPI モードにおけるチップセレクト信号で、アクティブ Low。GPIO として使用される場合は、入力または出力に使用できます。
SI	コンフィギュレーションピンとして使用される場合、入力ピンです。 SSPI モードにおけるシリアルデータ入力ピンです。GPIO として使用される場合は、入力または出力に使用できます。
SO	コンフィギュレーションピンとして使用される場合、出力ピンです。 SSPI モードにおけるシリアルデータ出力ピンです。GPIO として使用される場合は、入力または出力に使用できます。
QSSPI_WPN	コンフィギュレーションピンとして使用される場合、出力ピンです。 QSSPI モードにおけるシリアルデータ出力ピンです。GPIO として使用される場合は、入力または出力に使用できます。
FASTRD_N	コンフィギュレーションピンとして使用される場合、入力ピンです。 MSPI コンフィギュレーションモードにおける SPI Flash 読み出し速度選択信号 : FASTRD_N が High の場合は通常の読み出しモード(命令 0x03)、FASTRD_N が Low の場合は高速読み出しモードです。詳細については対応する Flash のデータシートを参照してください。 GPIO として使用される場合は、入力または出力に使用できます。
WE_N	コンフィギュレーションピンとして使用される場合、入力ピンです。 CPU コンフィギュレーションモードの読み出し/書き込みイネーブル信号選択ピン : WE_N が High の場合は読み出し、WE_N が Low の場合は書き込みです。GPIO として使用される場合は、入力または出力に使用できます。
D0~D7	入出力ピン。

ピン名	機能の説明
	CPU コンフィギュレーションモードにおけるデータ入出力ピン (8-bit)です。D0～D7 の入出力方向は、WE_N の値によって決まります。GPIO として使用される場合は、入力または出力に使用できます。
DIN	コンフィギュレーションピンとして使用される場合、内部の弱いプルダウンを持つ入力ピンです。 SERIAL モードにおけるシリアルデータ入力ピンです。GPIO として使用される場合は、入力または出力に使用できます。
DOUT	コンフィギュレーションピンとして使用される場合、出力ピンです。 SERIAL コンフィギュレーションモードのシリアルデータ出力ピンで、FPGA がカスケード接続されている場合にのみ次のデバイスへの入力として使用されます。GPIO として使用される場合は、入力または出力に使用できます。
SCL	コンフィギュレーションピンとして使用される場合、入力ピンです。 GPIO として使用される場合は、入力タイプとしてのみ使用できます。
SDA	コンフィギュレーションピンとして使用される場合、入力/出力ピンです。GPIO として使用される場合は、入力または出力に使用できます。

5 コンフィギュレーションモードの詳細

Gowin GW2AN-18X/9X FPGA 製品は、オンチップ Flash を持つ不揮発性デバイスです。SRAM ベースのデバイスの内部コンフィギュレーションデータは、パワーダウンすると失われるので、パワーアップ後に再コンフィギュレーションする必要があります。オンチップ Flash を備えた不揮発性デバイスは、パワーダウン後もデータはチップに保存されるので、デバイスは、再パワーアップ時に **AUTO BOOT** コンフィギュレーションまたは **DUAL BOOT** コンフィギュレーションによって自動的に再コンフィギュレーションできます。

各パッケージでサポートされているコンフィギュレーションモードは、ボンディングされているコンフィギュレーションピンの数に関連しています。汎用の **JTAG** コンフィギュレーションモードはすべてのデバイスによりサポートされます。各コンフィギュレーションモードの **MODE** 値は異なります。

5.1 コンフィギュレーションの注意事項

パワーアップおよびコンフィギュレーションの手順

FPGA の **VCC**、**VCCO**、および **VCCX** 電源電圧が最小電源振幅を満たすと、FPGA は起動プロセスに入ります: 電圧が安定しており、**RECONFIG_N** が外部回路によってプルダウンされていません > FPGA 内部回路が **READY** および **DONE** ピンを **Low** にプルダウンします > FPGA 初期化 > **READY** が **High** にプルアップされて、**MODE** 値がサンプリングされます > コンフィギュレーションモードに従ってコンフィギュレーションデータを読み出し、検証します > FPGA ウェイクアップ > **DONE** が **High** にプルアップされます > ユーザーモードに入ります。

FPGA の起動中、電源を安定させる必要があります。FPGA のパワーアップ、初期化、コンフィギュレーション中、**Low** レベルの **RECONFIG_N** は許容されず、ユーザーは **RECONFIG_N** ピンをフローティングのままにするか、外部で **High** にプルアップすることができます。パワーオン・リセットの解除からデバイスのウェイクアップ前の間、すべての **GPIO** は内

部の弱いプルダウンでハイインピーダンスの状態です。

コンフィギュレーションデータの格納場所と命令の対象位置によって、**Gowin GW2AN-18X/9X FPGA** 製品の操作には、**SRAM** に対する操作と、**オンチップ Flash** に対する操作があります。

SRAM に対する操作

SRAM に対する操作には、デバイスの **ID CODE** と **USER CODE** の読み出し、デバイスのステータスレジスタの情報の読み出し、および **SRAM** のコンフィギュレーションが含まれます。デバイス **ID** はコンフィギュレーション前に確認する必要があります。**USER CODE** は **ID CODE** を共有するデバイスを区別するために使用されます。デバイスのステータスレジスタには **FPGA** のコンフィギュレーション前後のステータス情報が記録され、ユーザーはこの情報を使用してデバイスのステータスを分析することができます。ステータスレジスタの意味については表 5-8 を参照してください。また、**SRAM** コンフィギュレーションの際、セキュリティビットが設定されていないビットストリームデータのみが検証をサポートすることに注意する必要があります。つまり、セキュリティビットが設定されたデータは、リードバックできません。

オンチップ Flash に対する操作

オンチップ **Flash** に対する操作には、消去、プログラミング、および検証などがあります。オンチップ **Flash** は **JTAG**、**SSPI**、**QSSPI**、**I²C** などのインターフェース経由で操作でき、**JTAG** クロック周波数は **65MHz** 以下、**SSPI**、**QSSPI** クロック周波数は **100MHz** 以下、**I²C** クロック周波数は **100KHz~555KHz** です。

すべてのインターフェースモードは、バックグラウンドアップグレードという機能をサポートします。つまり、デバイスは、現在の動作状態に影響を与えることなく、オンチップ **Flash** をプログラムできます。プログラミング中、デバイスは以前のコンフィギュレーションに従って動作可能です。プログラミングが完了したら、**Low** レベルで **RECONFIG_N** をトリガするか、**RECONFIG** 命令を送信してオンラインアップグレードを実行します。この機能は、オンライン時間が長く、時々アップグレードが必要なアプリケーションに適しています。

コンフィギュレーションピンの多重化

各コンフィギュレーションモードを使用する場合、ユーザーは、コンフィギュレーションピンの役割に応じて、**FPGA** が選択されたコンフィギュレーションモードで動作するようにする必要があります。ユーザー側のピン数が足りない場合、これらのピンは他の接続方法で柔軟に処理し、データ伝送に関連するピンのみを保持することが可能です。**MODE[1:0]** は **GowinCONFIG** のプログラミング・コンフィギュレーションモードを選択するために使用され、モードを変更する必要がない場合は、プルアップ抵抗またはプルダウン抵抗を使用して特定のモードに固定できます。プルア

アップ抵抗の場合、4.7K を推奨し、プルダウン抵抗の場合、1K を推奨します。

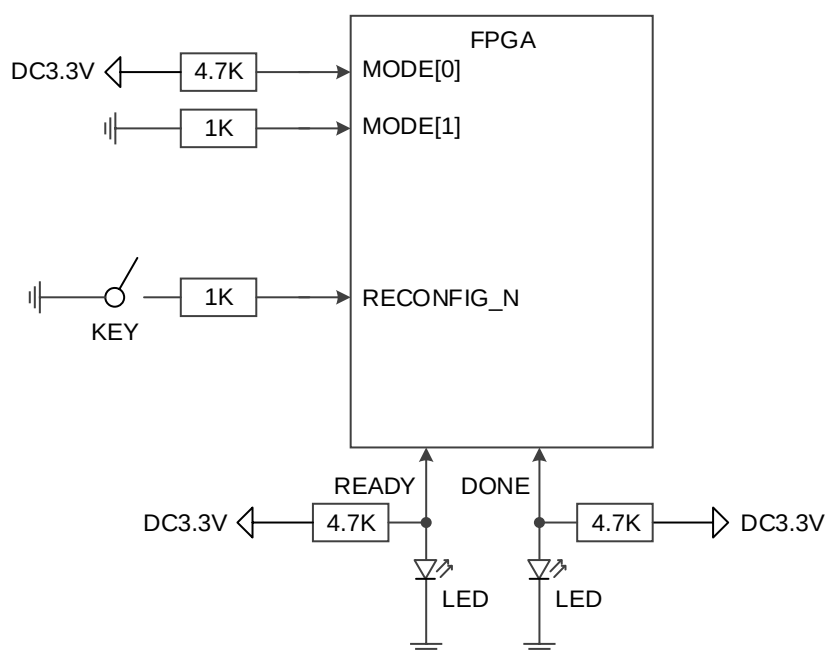
注記：

RECONFIG_N、READY、および DONE ピンは各コンフィギュレーションモードに関連付けられており、ユーザーがそれらを GPIO に設定したかどうかにかかわらず、コンフィギュレーション操作が完了する前に、その初期値またはピン接続状態はプログラミング・コンフィギュレーション条件を満たす必要があります。

推奨されるピン接続

推奨されるピン接続は図 5-1 に示すとおりです。

図 5-1 推奨されるピン接続



注記：

- MODE 値を変更する必要がある場合は、DIP スイッチを追加することができます。いくつかのデバイスでは MODE ピンが完全にボンディングされておらず、ボンディングされていない MODE ピンについては、『GW2AN-18X デバイス Pinout(UG972)』および『GW2AN-9X デバイス Pinout(UG978)』を参照してください。
- JTAG コンフィギュレーションの場合、READY 信号と DONE 信号を無視してください。
- ボンディングされていない RECONFIG_N、READY、または DONE ピンは内部で処理され、コンフィギュレーションに影響を与えません。

再パワーアップのタイミング図および Low レベルパルスで RECONFIG_N をトリガするタイミング図

再パワーアップのタイミング図および Low レベルパルスで RECONFIG_N をトリガするタイミング図は、図 5-2 と図 5-3 に示すとおりです。

図 5-2 再パワーアップのタイミング図

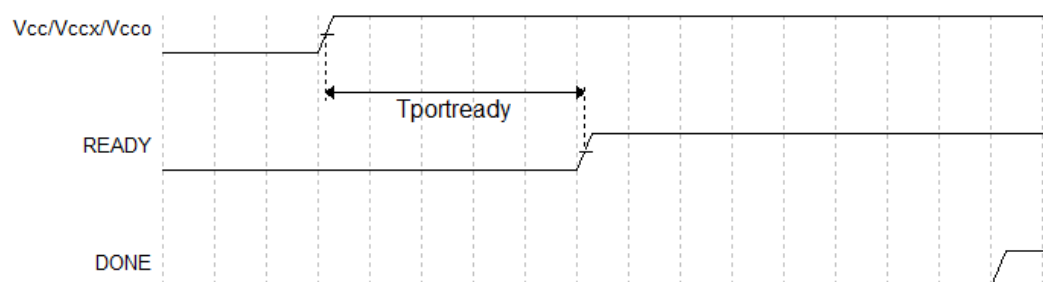
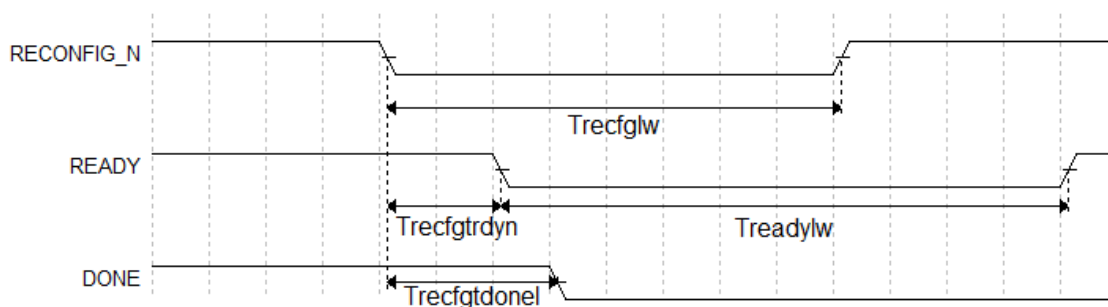


図 5-3 Low レベルパルスで RECONFIG_N をトリガするタイミング図



Arora ファミリーFPGA 製品の関連タイミングパラメータは、表 5-1 に示すとおりです。

表 5-1 GW2AN-18X/9X FPGA 製品の再パワーアップと RECONFIG_N トリガのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値
$T_{\text{portready}}(\text{MODE0}=0)$	POR から READY の立ち上がりエッジまでの時間(Time from POR to the rising edge of READY)	-	35ms
$T_{\text{portready}}(\text{MODE0}=1)$	POR から READY の立ち上がりエッジまでの時間(Time from POR to the rising edge of READY)	-	10ms
T_{recfglw}	RECONFIG_N の Low レベルパルス幅 (RECONFIG_N low pulse width)	25ns	-
$T_{\text{recfgtrdyn}}$	RECONFIG_N の立ち下がりエッジから READY の Low レベルに至るまでの時間 (Time from RECONFIG_N falling edge to READY low)	-	70ns
T_{readylw}	READY の Low レベルパルス幅(READY low pulse width)	TBD	-
$T_{\text{recfgtdonel}}$	RECONFIG_N の立ち下がりエッジから DONE の Low レベルに至るまでの時間 (Time from RECONFIG_N falling edge to DONE low)	-	80ns

5.2 AUTO BOOT コンフィギュレーション

AUTO BOOT モードは、不揮発性 FPGA 製品にインスタントオン特性を提供します。AUTO BOOT コンフィギュレーションモードでは、FPGA はパワーアップ後外部コンフィギュレーションインターフェースに接続することなくオンチップ Flash のアドレス 0x000000 から Quad SPI プロトコルに従ってビットストリームデータを読み出してコンフィギュレーションできます。GW2AN-18X/9X シリーズ FPGA は、2 回の AUTO BOOT コンフィギュレーション試行をサポートします。つまり、パワーアップ後に AUTO BOOT コンフィギュレーションが失敗した場合、デバイスは自動的にアドレス 0x100000 からコンフィギュレーションを再試行できます。コンフィギュレーションの失敗の要因には、ID 検証エラー、CRC 検証エラー、命令エラー、およびタイムアウトエラーがあります。

AUTO BOOT コンフィギュレーションモードを使用する場合、まずコンフィギュレーションデータを FPGA のオンチップ Flash にプログラミングする必要があります。そして再パワーアップまたは Low レベルで RECONFIG_N ピンをトリガするときは、チップは自動的にビットストリームデータを読み出してコンフィギュレーションを完了します。オンチップ Flash のインスタントオン特性により、コンフィギュレーションのダウンロード時間が短縮され、効率的です。

AUTO BOOT モードを使用するには、MODE [1 : 0] を「01」に設定する必要があります。コンフィギュレーションが失敗した場合でも、デバイスは JTAG、I²C、SSPI、QSSPI などのプロトコルを使用して SRAM または Flash をコンフィギュレーション/プログラミングできます。

5.3 JTAG コンフィギュレーション

GOWIN セミコンダクターFPGA 製品の JTAG コンフィギュレーションモードは、IEEE1532 および IEEE1149.1 バウンダリ・スキャン・スタンダードに準拠しています。

JTAG コンフィギュレーションモードでは、コンフィギュレーションデータは GOWIN セミコンダクターFPGA 製品の SRAM に書き込まれ、パワーオフするとデータは失われます。GOWIN セミコンダクターFPGA 製品はすべて JTAG コンフィギュレーションモードをサポートしています。

5.3.1 JTAG コンフィギュレーションモードのピン

JTAG コンフィギュレーションモードに関連するピンは表 5-2 に示すとおりです。

表 5-2 JTAG コンフィギュレーションモードのピンの定義

ピン名	I/O タイプ	説明
JTAGSEL_N	I、内部の弱いプルダウン	JTAG ピンを GPIO からコンフィギュレーションピンに復元。アクティブ Low
TCK ^[1]	I、内部の弱いプルダウン	クロック入力

ピン名	I/O タイプ	説明
TMS	I、内部の弱いプルアップ	モード選択
TDI	I、内部の弱いプルアップ	データ入力
TDO	O、内部の弱いプルアップ	データ出力

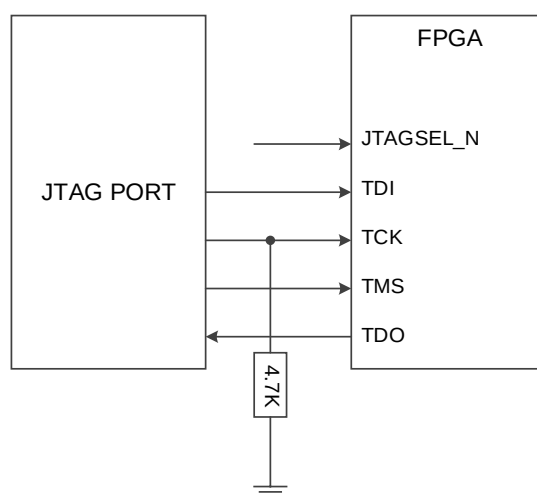
注記：

[1] TCK は PCB で 4.7K のプルダウン抵抗に接続する必要があります。

5.3.2 JTAG コンフィギュレーションモードの接続図

JTAG コンフィギュレーションモードの接続は図 5-4 に示すとおりです。

図 5-4 JTAG コンフィギュレーションモードの接続図



注記：

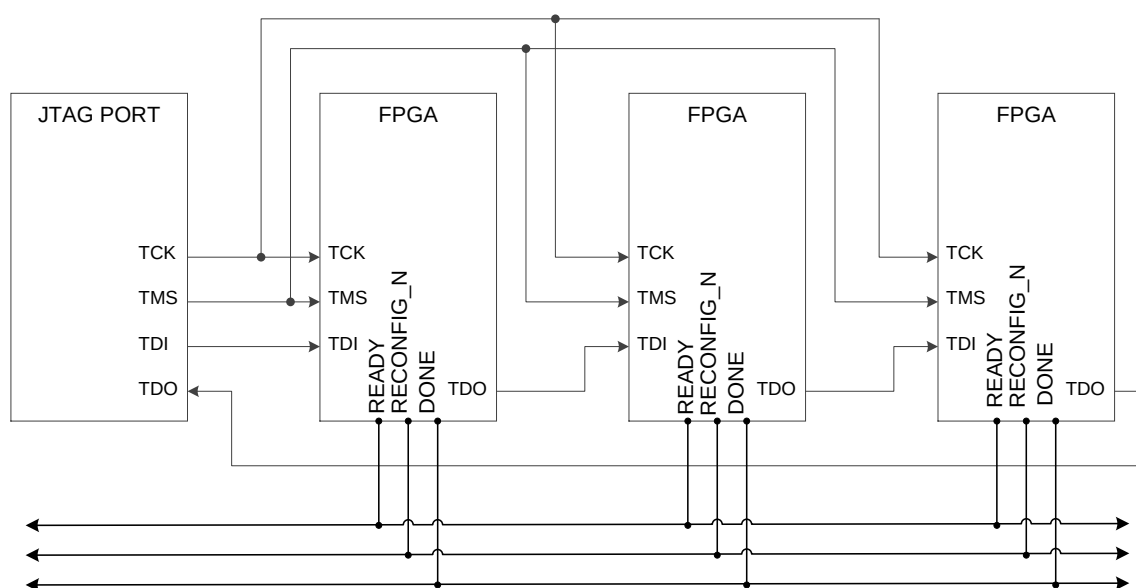
JTAG コンフィギュレーションモードのクロック周波数は 65MHz 以下である必要があります。

GOWIN セミコンダクターFPGA 製品は JTAG デイジーチェーン操作をサポートします。つまり、ある FPGA の TDO ピンを次の FPGA の TDI ピンに接続すると、Gowin プログラミングソフトウェアは接続された FPGA デバイスを自動的に識別して順番にコンフィギュレーションします。デイジーチェーン・コンフィギュレーションの接続図は図 5-5 に示すとおりです。Gowin GW2AN-18X/9X FPGA 製品は、デイジーチェーン上の FPGA オンチップ Flash のプログラミングをサポートしていないことに注意してください。

注記：

デイジーチェーン上の GW2AN-18X/9X 製品のオンチップ Flash をプログラムするには、GAO-Bridge モード(sFlash Erase,Program,Verify thru GAO-Bridge)を使用する必要があります。詳細については、『Gowin Programmer ユーザーガイド([SUG502](#))』を参照してください。

図 5-5 JTAG デイジーチェーン・コンフィギュレーションの接続図



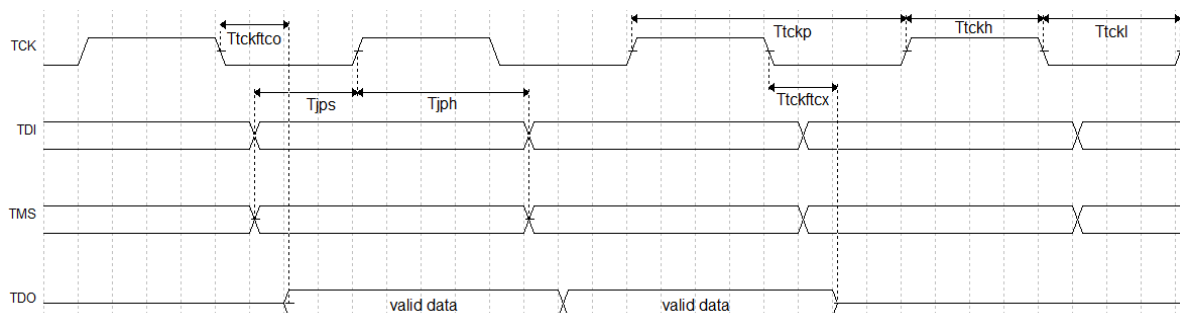
注記：

DONE、RECONFIG_N、および READY 信号の接続は状況に応じて決定されます。

5.3.3 JTAG コンフィギュレーションモードのタイミング図

JTAG コンフィギュレーションモードのタイミング図は、図 5-6 に示す通りです。

図 5-6 JTAG コンフィギュレーションモードのタイミング図



各パラメータの意味は、表 5-3 に示す通りです。

表 5-3 JTAG コンフィギュレーションモードのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値
$T_{tckftco}$	TCK 立ち下がりエッジからデータ出力に至るまでの時間(Time from TCK falling edge to output)	-	10ns
$T_{tckftcx}$	TCK 立ち下がりエッジからハイインピーダンスに至るまでの時間(Time from TCK falling edge to high impedance)	-	10ns
T_{tckp}	TCK クロックのサイクル(TCK clock period)	40ns	-

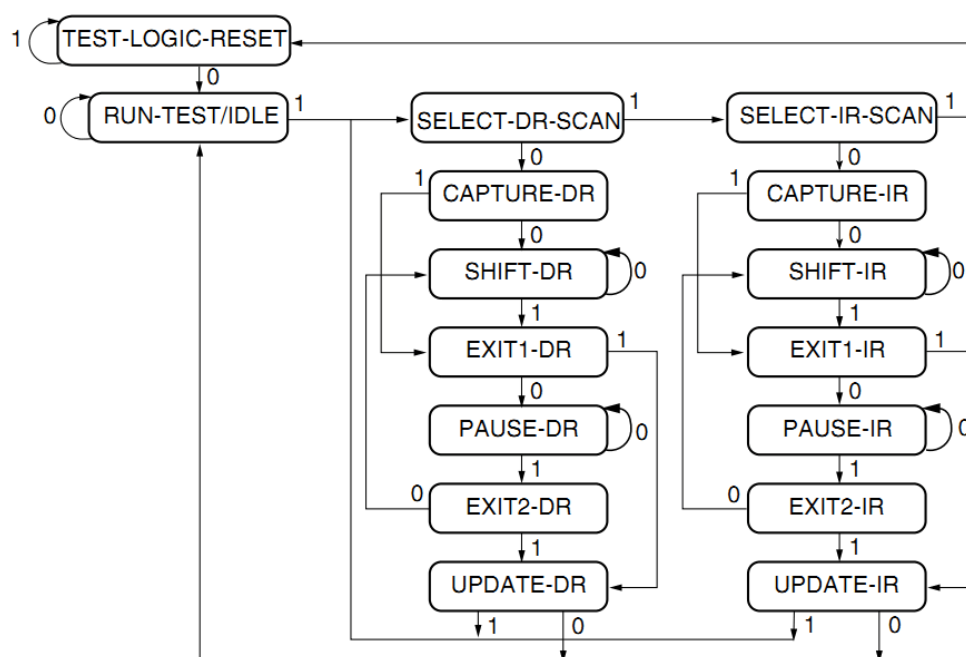
パラメータ名	パラメータの意味	最小値	最大値
T _{tckh}	TCK クロックの High レベル時間(TCK clock high time)	20ns	-
T _{tckl}	TCK クロックの Low レベル時間(TCK clock low time)	20ns	-
T _{jps}	JTAG PORT のセットアップ時間(JTAG PORT setup time)	10ns	-
T _{jph}	JTAG PORT のホールド時間(JTAG PORT hold time)	8ns	-

5.3.4 JTAG コンフィギュレーションの手順

TAP 状態機械

テストアクセスポートの状態機械は、命令レジスタまたはデータレジスタを選択し、TDI と TDO の間に接続するために使用されます。通常、命令レジスタはスキャンされるデータレジスタを選択するために使用されます。状態機械のブロック図において、矢印の側に位置する数字は、TCK が High になったときの TMS のロジック状態を示しています。JTAG 命令を書き込んだ後、Run-Test-Idle 状態に移行して少なくとも 3 クロックサイクルの間その状態を維持する必要があります。

図 5-7 TAP 状態機械



TAP リセット

TMS を High レベル(ロジック “1”)に保持し、TCK ピンで 5 つ以上のストロブパルス(High になった後 Low になる)を入力した後、TAP ロジックがリセットされます。これによって、他の状態の TAP 状態機械がテストロジックのリセット状態に変換され、JTAG インターフェースとテストロジックがリセットされます。

注記：

この状態では、CPU と周辺機器がリセットされません。

注記：

- Shift_DR または Shift_IR 状態に入った場合、TDO のデータは TCK の立ち下がりがエッジから有効になります。
- Shift_DR または Shift_IR 状態に入った場合、データはシフトされません。
- Shift_DR または Shift_IR から出た場合、データはシフトされます。
- 一番先にシフトされるのは、データの最下位ビット(LSB)です。
- リセットすると、すべての命令はリセットされるか、無効になります。

命令レジスタとデータレジスタ

テストロジックをリセットするほか、状態機械は以下の 2 つの基本操作を制御可能です。

- 命令レジスタ(IR)スキャン
- データレジスタ(DR)スキャン

命令レジスタのスキャン操作では、Shift-IR 状態の場合、データまたは命令が LSB ファースト順で命令レジスタに送信されます。Run-Test-Idle に戻った後、命令の送信が完了します(図 5-8)。

データレジスタのスキャン操作では、Shift-DR 状態の場合、データまたは命令がデータレジスタに送信されます(図 5-9)。データ転送に LSB と MSB のどちらが使用されるかは、操作に依存します。

図 5-8 命令レジスタのアクセスタイミング

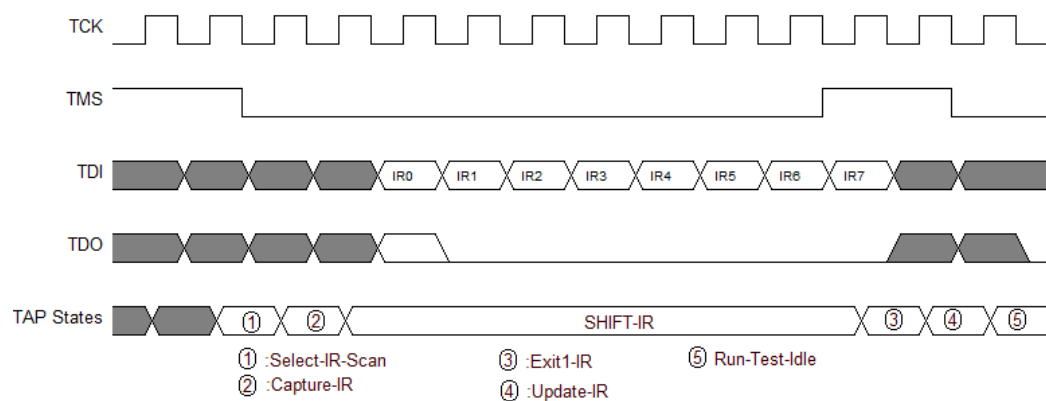
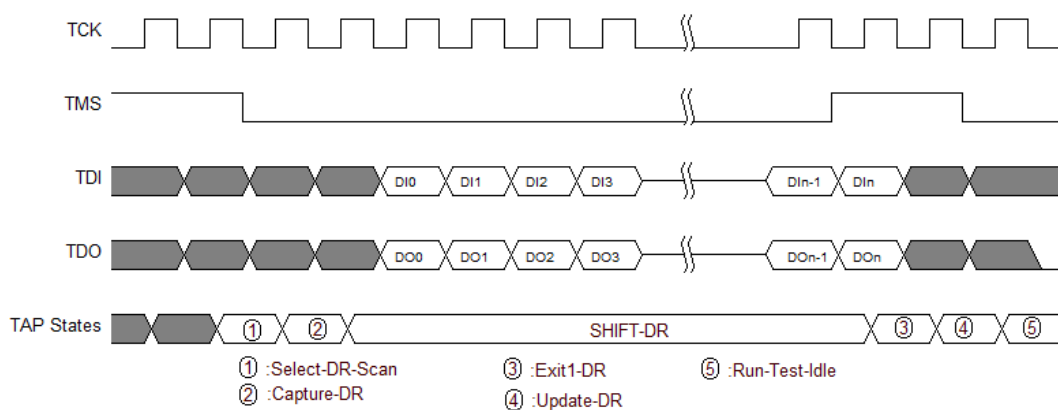


図 5-9 データレジスタのアクセスタイミング



注記：

- 命令レジスタの長さは 8 ビットです。
- データレジスタの長さは、選択したレジスタによって異なります。

ID CODE 読み出しの例

ID Code(即ち JEDEC ID Code)は、FPGA デバイスの基本的な識別情報です。

GOWIN FPGA ID Code の長さは 32 ビットで、下表は GOWIN FPGA の ID Code の一部です。

表 5-4 Gowin の一部の FPGA 製品の ID CODE

Gowin FPGA Device Family ID CODE			
Device Family	Device Part	Manufacturer ID	ID CODE
	Bits 31-12	Bits 11-0	
		h81B	
GW2AN-18X	h00004	h81B	h0000481B
GW2AN-9X	h00005	h81B	h0000581B

GOWIN FPGA の読み出し命令は 0x11 です。以下は、GW2AN-9X の ID Code を読み出すことを例に、JTAG の動作を説明します。

1. TAP リセット：TMS を High にし、5 クロックサイクル以上連続して送信します。
2. 状態機械を Test-Logic-Reset から Run-Test-Idle に遷移させます。
3. 状態機械を Shift-IR に遷移させ、最下位ビットから Read ID 命令 0x11 を送信し、最上位ビット(最後のビット)が送信されると同時に、状態機械を Exit1-IR に遷移させます。すなわち、最上位ビットの送信前に TMS は High である必要があります。表 5-5 は、8 クロックサイクル期間に 0x11 を送信する過程における TDI と TMS の値の変化を示しています。タイミングは図 5-11 に示すとおりです。

表 5-5 命令送信中の TDI と TMS 値の変化

	TCK 1	TCK 2	TCK 3	TCK 4	TCK 5	TCK 6	TCK 7	TCK 8
TDI value (0x11)	1	0	0	0	1	0	0	0
TMS value	0	0	0	0	0	0	0	1

4. 状態機械を遷移させ、Exit1-IR から Update-IR を経由して Run-Test-Idle に戻し、Run-Test-Idle で 3 クロックサイクル以上動作します。
5. 状態機械を Shift-DR に遷移させ、32 クロックサイクルを送信し、32 クロックサイクル目の送信前に、TMS を High にします。32 クロックサイクルの完了と同時に Shift-DR から Exit1-DR にジャンプします。32 クロックサイクルが送信されるうちに 32 ビットのデータ (0x0000581B)が読み出されます(図 5-12)。
6. 状態機械を Run-Test-Idle に戻します。

図 5-10 ID Code 読み出しの状態機械フローチャート

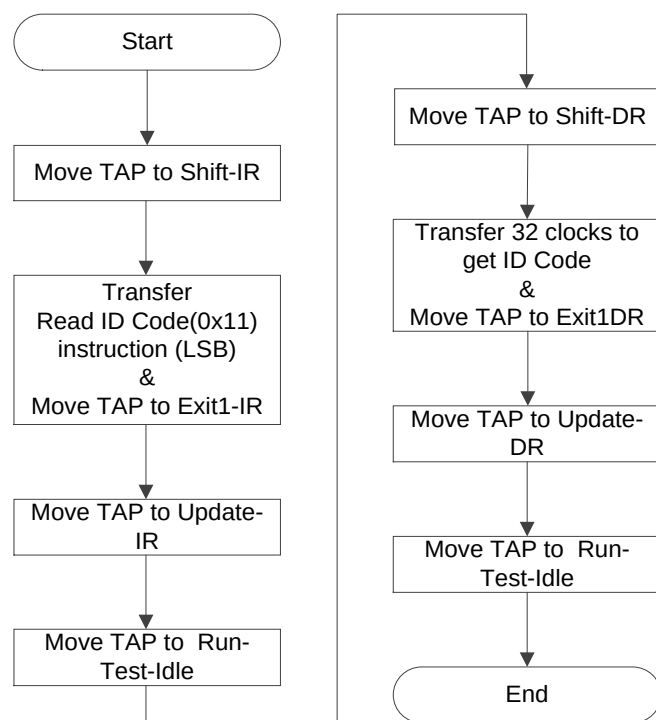


図 5-11 ID Code 読み出し命令-0x11 のアクセスタイミング

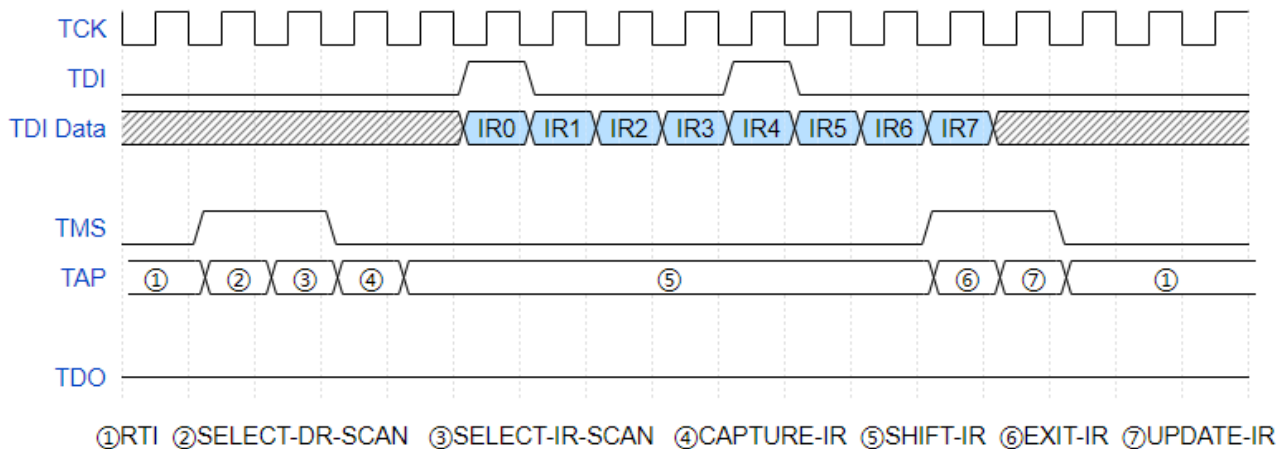
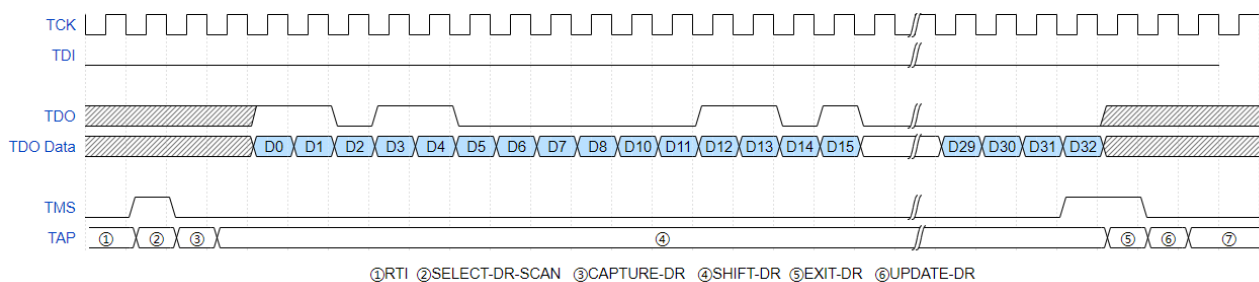


図 5-12 ID Code(0x0000581B)読み出し際のデータレジスタのアクセスタイミング



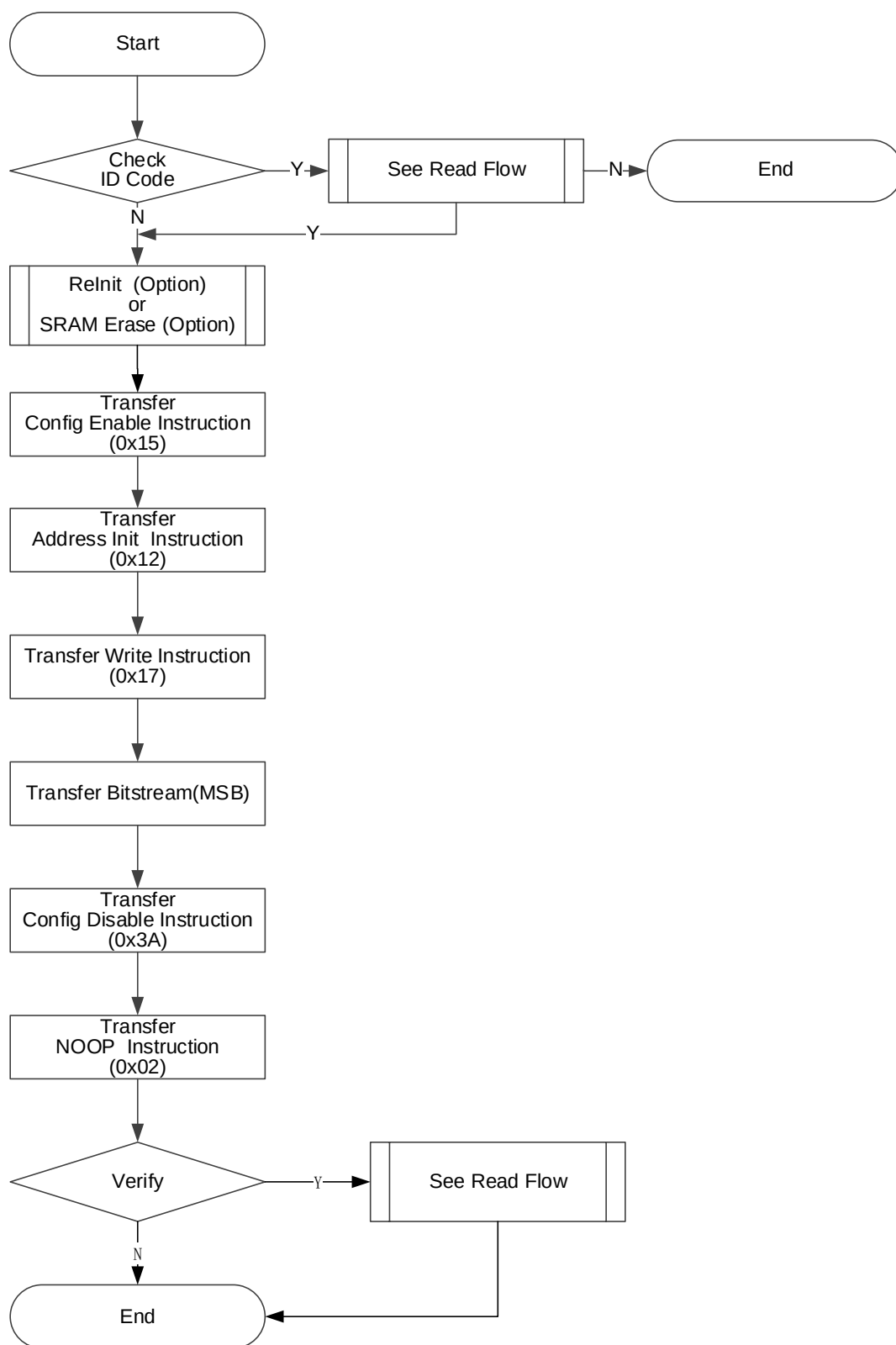
SRAM をコンフィギュレーションする手順

外部 Host を使用して JTAG インターフェースを介して FPGA の SRAM をコンフィギュレーションすることができます。JTAG コンフィギュレーション・モードは MODE 値に関係なくサポートされます。SRAM への書き込み後、**status code** が更新されるまで 60ms 待つ必要があります。

Gowin ソフトウェアでデータストリーム・ファイルを生成し、JTAG を介して SRAM のコンフィギュレーションを実行します。以下に外部 Host による SRAM コンフィギュレーションの手順を紹介します(図 5-13)。

1. JTAG リンクを作成し、TAP リセットを実行します。
2. デバイスの ID CODE を読み出し、マッチするかチェックします。
3. デバイスの Status Code を読み出し、Ready ビットが 0 の場合は、Reinit 命令 0x3F を送信します。
または、SRAM がコンフィギュレーションされた場合、SRAM を消去する必要があります。[SRAM を消去する手順](#)を参照してください。
4. ConfigEnable 命令 0x15 を送信します。
5. Address Initialize 命令 0x12 を送信します。
6. Transfer Configuration Data 命令 0x17 を送信します。
7. 状態機械を Shift-DR(データレジスタ)に遷移させ、すべての Bitstream Data を最上位ビット(MSB)から順に送信してから Run-Test-Idle 状態に戻します。
8. ConfigDisble 命令 0x3A を送信します。
9. Noop 命令 0x02 を送信し、コンフィギュレーション手順が終了します。
10. Configuration Data をリードバックしたい場合、SRAM を読み出す手順を参照してください。

図 5-13 SRAM コンフィギュレーションのフローチャート

**SRAM を読み出す手順**

ご注意：SRAM データはデフォルトでリードバックできません。

FPGA の SRAM からデータを読み出す場合、まず、SRAM の書き込み時にセキュリティビット(Security Bit)が設定されていないことを確認する必要があります。セキュリティビットはデータセキュリティを確保するために使用されます。セキュリティビットが設定されている場合、SRAM から取得するデータはすべて 1(High レベル)となります。

ロード中に、FPGA は書き込まれたデータに対して CRC チェックを実行します

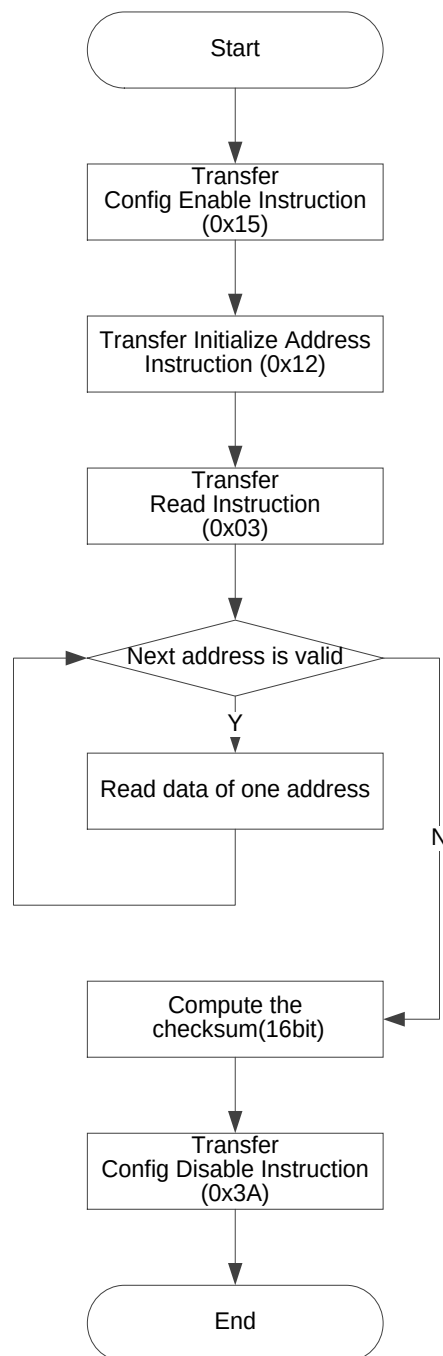
表 5-6 各デバイスの SRAM アドレス数とアドレス長さ

Device	Length of one address (bits/address)	Count of address
GW2AN-18X/9X	3376	1342

図 5-14 は読み出し手順の詳細です。

1. ConfigEnable 命令 0x15 を送信します。
2. Address Initialize 命令 0x12 を送信します。
3. SRAM Read 命令 0x03 を送信します。
4. 状態機械を Shift-DR(データレジスタ)に遷移させ、アドレス長さに相当するクロック信号を送信します(表 5-6 参照)。最後のクロックを送信すると同時に、TMS を High にし、Exit1-DR にジャンプします。この場合、TDO 経由で対応する長さのデータが読み出されます。最後に、Run-Test-Idle に戻します。
5. 手順 4 を繰り返します。1 つのアドレスのデータを読み出すたびに、そのアドレスが自動的に累積されます。
6. ConfigDisble 命令 0x3A を送信します。
7. Noop 命令 0x02 を送信し、読み出し手順が終了します。

図 5-14 SRAM 読み出しのフローチャート



SRAM を消去する手順

SRAM を再コンフィギュレーションする場合、既存の SRAM を消去する必要があります。その手順は次のとおりです：

1. ConfigEnable 命令 0x15 を送信します。
2. SRAM Erase 命令 0x05 を送信します。
3. Noop 命令 0x02 を送信します。
4. 遅延するか、または Run Test 2~10ms。
5. SRAM Erase Done 命令 0x09 を送信します。

6. ConfigDisble 命令 0x3A を送信します。
7. Noop 命令 0x02 を送信し、手順が終了します。

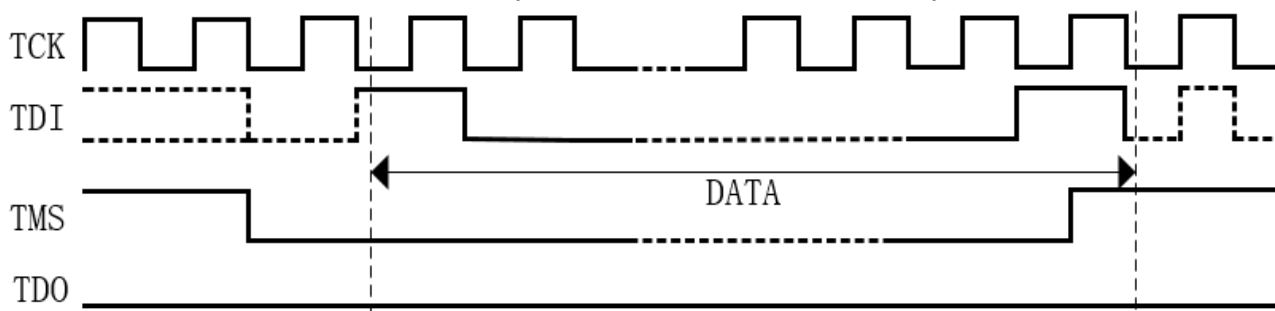
注記：

- EraseSram(0x05)命令、Noop(0x02)の送信後、消去完了まで十分な時間が必要です。
- GW2AN-18X/9X の参照時間は 6ms です。

オンチップ Flash プログラミングモード

Gowin の GW2AN-18X/9X FPGA 製品には、16 M ビットのシリアル Flash メモリが組み込まれています。JTAG は、オンチップ Flash をプログラミングするための類 SPI (SPI に似ている) プロトコルを提供し、その最大動作周波数は 65MHz です。

JTAG が提供する類 SPI プロトコルは、一般に標準の SPI ロジックと一致しています。TMS は Chip Select (CS) 信号に対応し、TDI は DI 信号に対応し、TCK は Serial Clock (CLK) 信号に対応し、TDO は DO 信号に対応します。そのタイミングも、標準 SPI のタイミングを参照可能であり、TDI データが 1 クロックサイクル後方にシフトされるだけです。TMS が Low にプルダウンされた後、1 クロックを送信した後のデータは有効なデータであり、データの最後のビットは TMS と一緒に High にプルアップされる必要があります。次の図を参照してください。

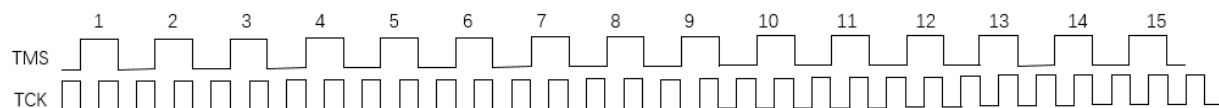


Flash プログラミングモードの起動

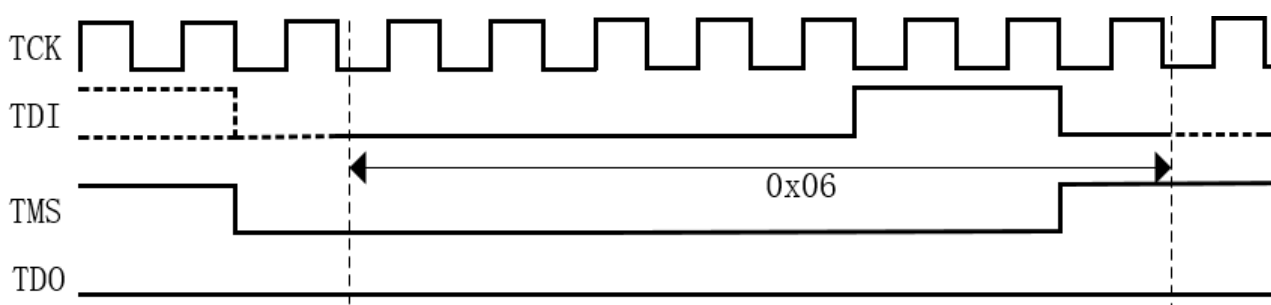
Flash をプログラミングする前に、JTAG インターフェースを内部 Flash コントローラに接続する必要があります。その後、標準の JTAG 命令 0x16 を送信してこのモードを起動します。起動した後、JTAG インターフェースは Flash プログラミングモードでのみ動作します。つまり、JTAG インターフェースが類 SPI モードになった後、JTAG 命令がサポートされなくなります。

Flash プログラミングモードの終了

TMS の 15 回の連続した High-Low レベルを設定することにより、Flash プログラミングモードを終了できます。つまり、類 SPI インターフェースから標準 JTAG インターフェースに戻ります。標準 JTAG インターフェースに戻った後、JTAG プロトコルに従ってデバイスをコンフィギュレーションすることができます。以下に示すとおりです。



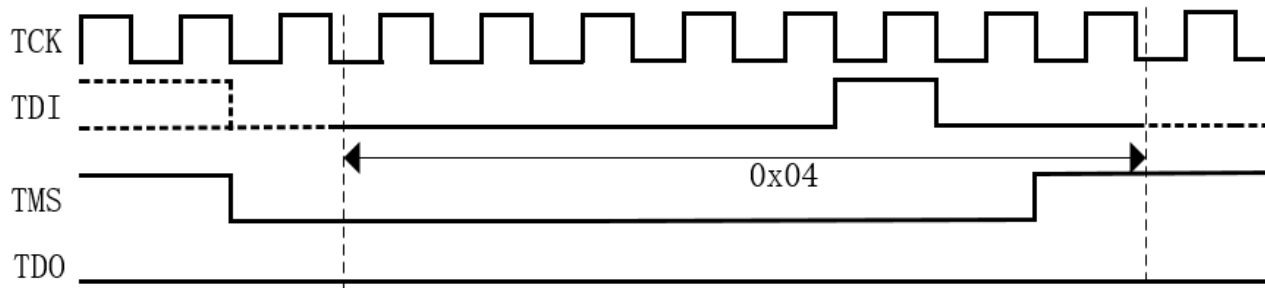
オンチップ Flash 命令-WriteEnable (0x06)



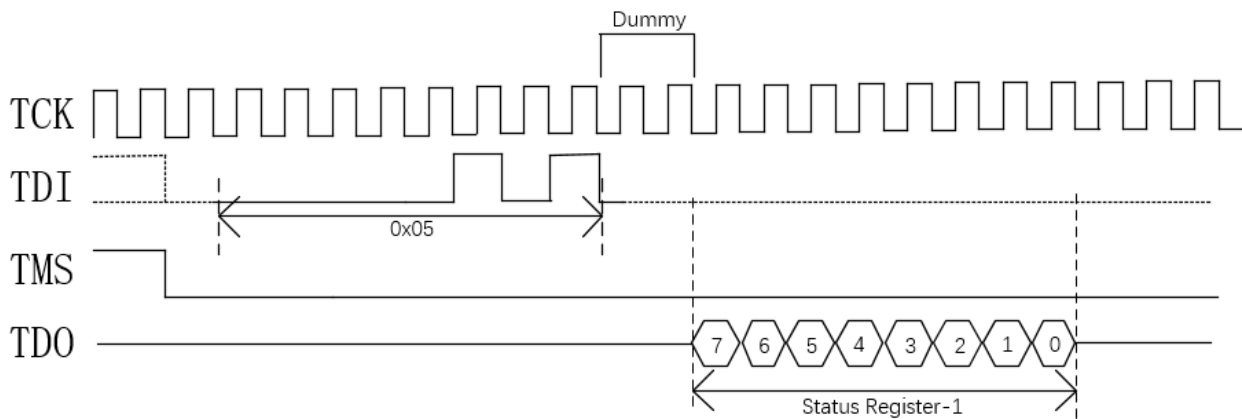
WriteEnable 命令は、Flash Status Register の Write Enable Latch (WEL) ビットを設定するために使用されます。WEL ビットは、各 Page-Program、Sector Erase、および Chip Erase の前に設定する必要があります。TMS が 1 クロックサイクル (TCK) Low になった後、命令「0x06」をデータ入力 (TDI) ピンに入力し、0x06 の最後のビット「0」は TMS と同じクロックサイクルで転送されます。

オンチップ Flash 命令-WriteDisable (0x04)

WriteDisable 命令は、Flash Status Register の Write Enable Latch (WEL) ビットをリセットするために使用されます。TMS が 1 クロックサイクル (TCK) Low になった後、命令「0x04」をデータ入力 (TDI) ピンに入力し、0x04 の最後のビット「0」は TMS と同じクロックサイクルで転送されます。



オンチップ Flash 命令-Read Status Register-1 (0x05)

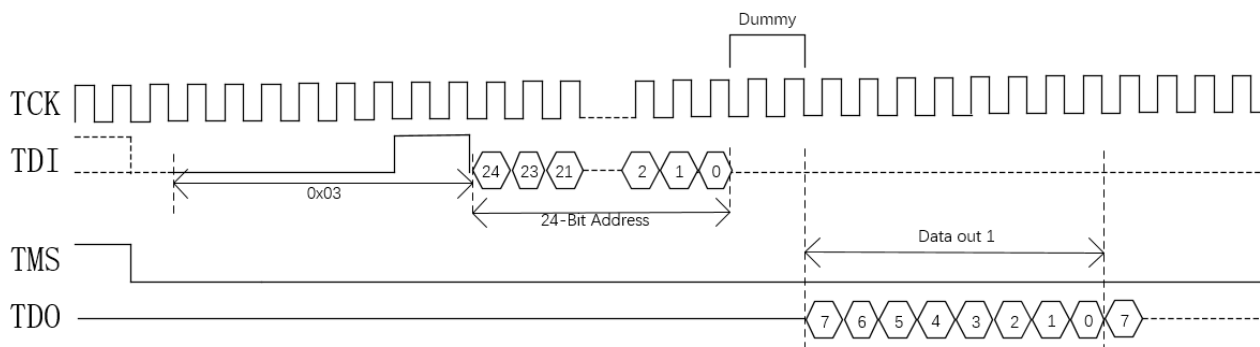


Read Status Register-1 命令は、8 ビットのステータスレジスタを読み出すために使用されます。TMS が 1 クロックサイクル (TCK) Low になった後、命令「0x05」を TCK の立ち上がりエッジでデータ入力 (TDI) ピンに入力します。さらなる 2 つのダミークロック (dummy clock) の後、Status Register-1 のデータが TCK の立ち下がりエッジで TDO ピンから送信され、最上位ビット (MSB) ファーストです。以下に示すとおりです。

Read Status Register-1 には、S [7:0] で表される合計 8 ビットがあり、S[0] は BUSY ビットです。Flash が Page-Program、Chip Erase、Sector Erase などの処理中の場合、S[0] は自動的にビット 1 に設定されます。この場合、Flash はビジー状態であり、他の命令に応答しません。操作が終了すると、S[0] は自動的に 0 にリセットされ、他の命令を送信し続けることができます。

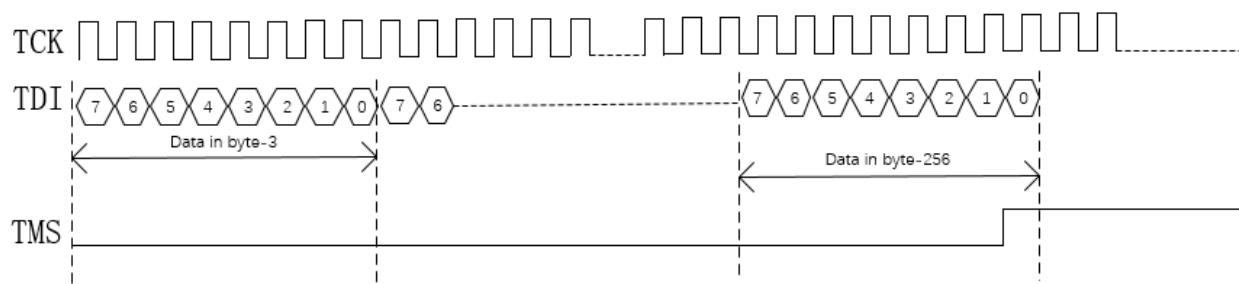
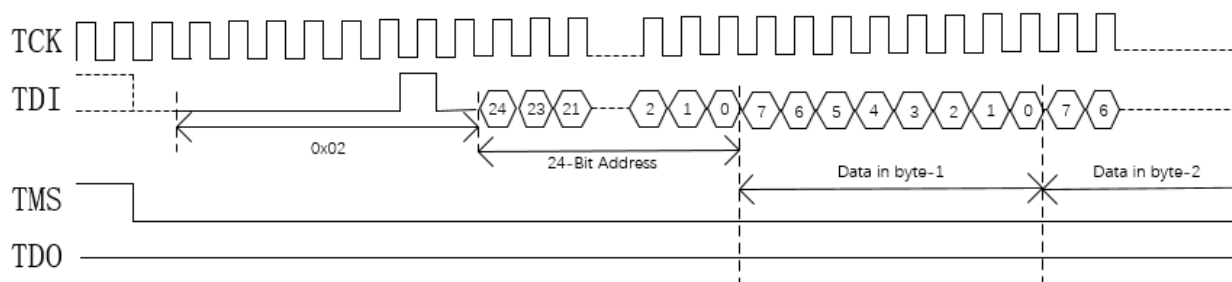
オンチップ Flash 命令-Read Data (0x03)

Read Data 命令は、Flash からデータを連続して読み出すために使用されます。TMS が 1 クロックサイクル (TCK) Low になった後、命令「0x03」を TCK の立ち上がりエッジでデータ入力 (TDI) ピンに入力し、24 ビットのアドレスを DI ピンに入力します。さらなる 2 つのダミークロック (dummy clock) の後、当該アドレスにあるデータが TCK の立ち下がりエッジで TDO ピンから送信され、最上位ビット (MSB) ファーストです。リードバックされるデータが 1 つのアドレスを超えると、アドレスが自動的にインクリメントされ、連続したデータストリームをリードバックできるようになります。つまり、1 つの命令で Flash データ全体を読み出すことができます。以下に示すとおりです。



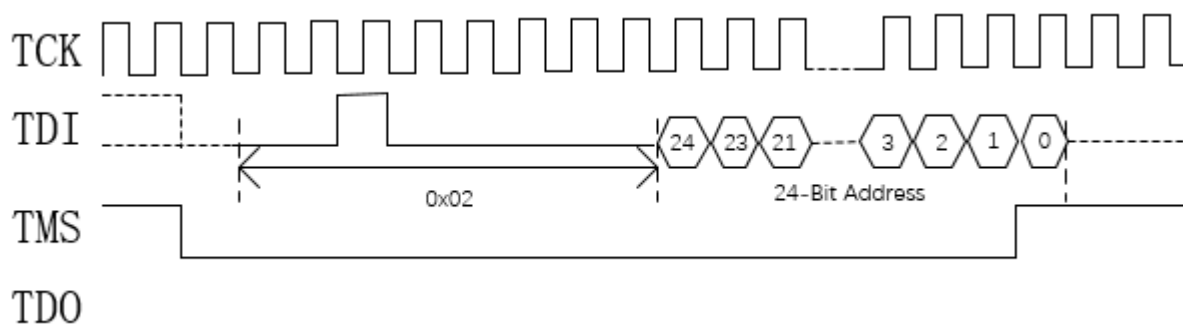
オンチップ Flash 命令-Page Program (0x02)

Page Program 命令は、1 ページ上の 1 つ以上の消去 (0xFF) されたバイトをプログラミングするために使用されます。この前は、WriteEnable 命令を完了する必要があります。TMS が 1 クロックサイクル (TCK) Low になった後、命令「0x02」を TCK の立ち上がりエッジでデータ入力 (TDI) ピンに入力し、24 ビットのアドレスを DI ピンに入力します。その後、対応するデータを MSB First フォーマットで DI ピンに入力します。この期間中、TMS は Low のままであり、最後のバイトの最後のビットは、High になった TMS と同じクロックサイクルで DI ピンに入力されます。以下に示すとおりです。



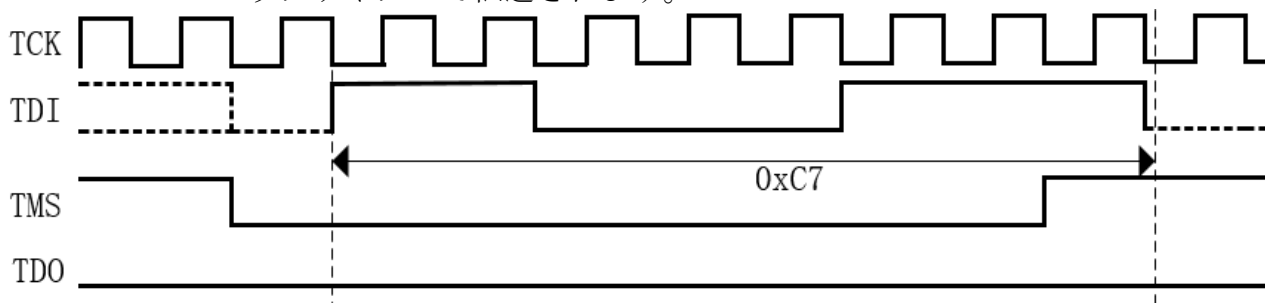
オンチップ Flash 命令-Sector Erase (0x20)

Sector Erase 命令は、指定されたセクター (4K バイト) のすべてのデータを消去するために使用されます。消去が完了すると、Flash データは 0xFF 状態に復元されます。この命令を送信する前に、**WriteEnable** 命令を完了する必要があります。TMS が 1 クロックサイクル (TCK) Low になった後、命令「0x20」を TCK の立ち上がりエッジでデータ入力 (TDI) ピンに入力し、24 ビットのアドレスを DI ピンに入力します。アドレスの最後のビットを転送するとともに、TMS を High に設定します。

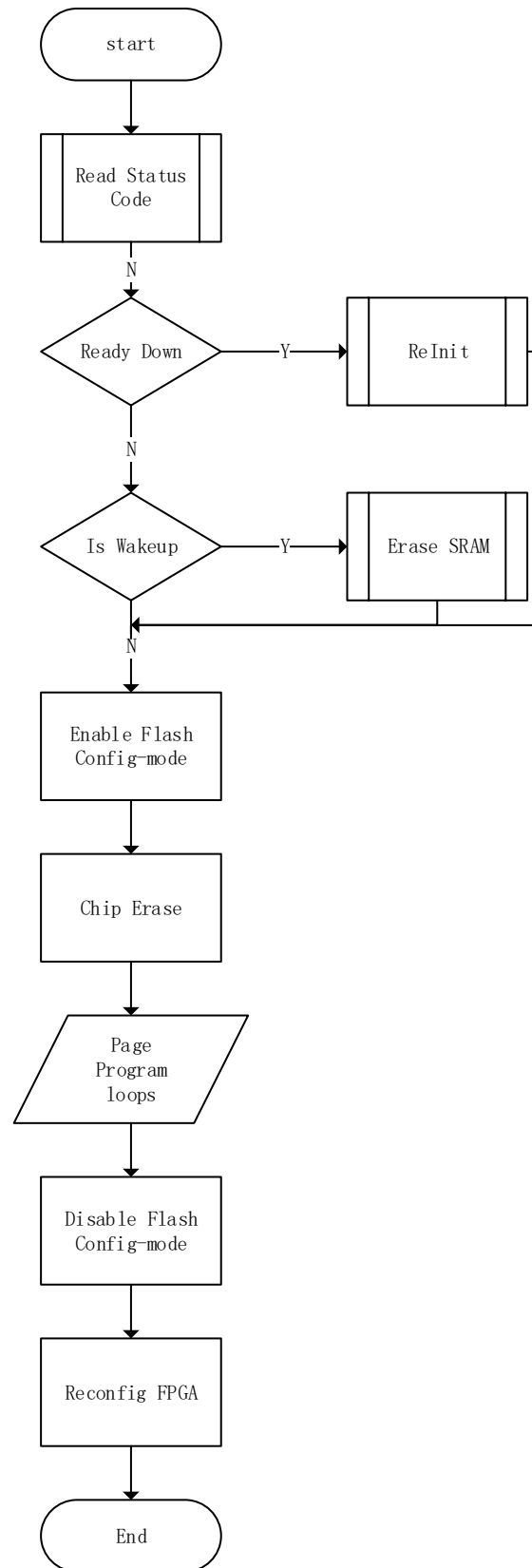


オンチップ Flash 命令-Chip Erase (0xC7/0x60)

Chip Erase 命令は Flash 内のすべてのデータを消去し、消去後はすべてのデータが 1 (0xFF) になります。この命令を送信する前に、**WriteEnable** 命令を完了する必要があります。TMS が 1 クロックサイクル (TCK) Low になった後、命令「0xC7」を TCK の立ち上がりエッジでデータ入力 (TDI) ピンに入力し、0xC7 の最後のビット「1」は High になった TMS と同じクロックサイクルで転送されます。



オンチップ Flash コンフィギュレーションのフローチャート



JTAG Boundary Scan での SPI Flash プログラミング

このモードの原理は、Boundary Scan の方法を使用して SPI と接続するピンの状態を変更することで、SSPI タイミングを実現し、オンチップ Flash をプログラミングします。

このモードで採用される Boundary Scan Chain の長さは 8 ビットで、各 2 ビットの組み合わせがピンの状態に対応します(表 5-7)。Boundary Scan Chain の 2 回送信ごとに、1 回の SCLK 駆動が完了します。

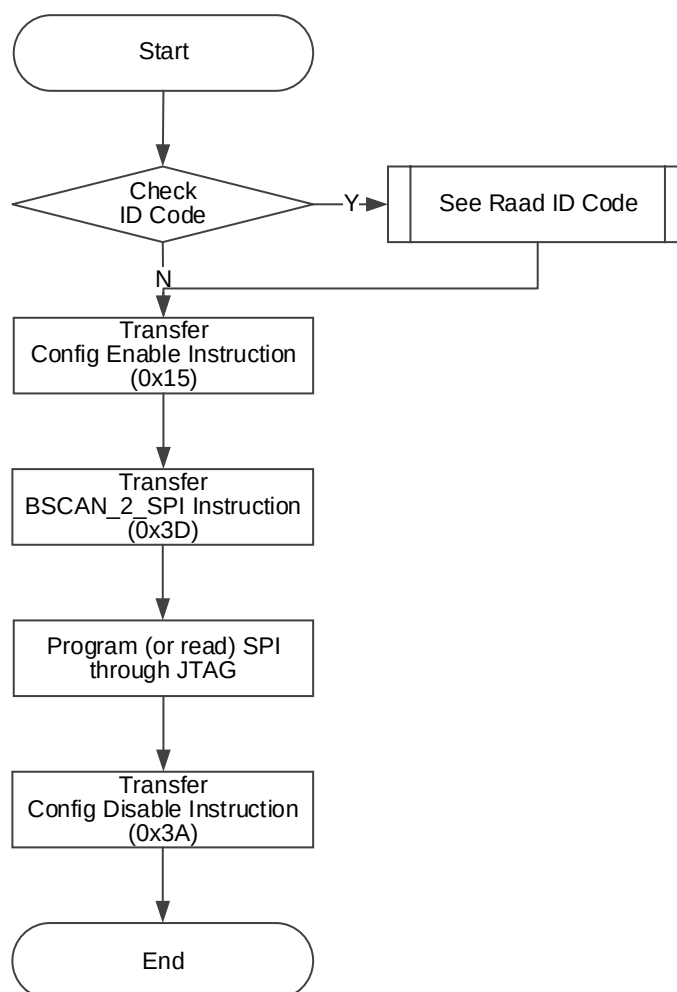
表 5-7 ピンの状態

SPI Flash のピン名	SCLK		CS		DI		DO	
Bscan Chain[7:0]	7	6	5	4	3	2	1	0
(ctrl & data)	0		0		0		1	

注記：

- ctrl : 0 は出力、1 は入力を表します。
- data : 0 は Low レベル、1 は High レベルを表します。

図 5-15 Boundary Scan モードを採用した SPI Flash プログラミングのフローチャート



Status Register の読み出し(0x41)

Status Register を読み出すことで、デバイスの状態を予備確認できます。例えば、wake up の成功、読み込みエラーの有無などを確認できます。Status Register は合計 32 ビットあり、読み出し命令は 0x41 で、その読み出しタイミングは Read ID Code と同様です。

Status Register の各ビットの意味は、表 5-8 に示す通りです。

表 5-8 Status Register の各ビットの意味

Device Status Register[31:0]	GW2AN-18X/9X
0	CRC Error (1 : エラーあり。0 : エラーなし)
1	Bad Command Error(1 : エラーあり。0 : エラーなし)
2	ID Verify Failed Error(1 : エラーあり。0 : エラーなし)
3	Timeout Error(1 : エラーあり。0 : エラーなし)
4	Autoboot2nd Failed Error(1 : エラーあり。0 : エラーなし)
5	Memory Erase
6	Preamble
7	Edit Mode
8	Program SPI Directly
9	Autoboot1st Failed Error(1 : エラーあり。0 : エラーなし)
10	Non-jtag Active
11	Bypass State
12	I ² C Flag
13	Done Final State
14	Security Bit Final State
15	Encryption Format(1 : 暗号化されたデータストリーム・ファイルが使用されている)
16	Encryption Key Match(1 : キーが正しい。0 : キーが間違っている)
17	sspi_mode,
18-31	

status code エラーのクリア

SRAM のコンフィギュレーションや Flash のプログラミングを行う前に、現在の status code にエラーがないことを確認してください。エラーがある場合は以下の手順でエラーをクリアしてください：

1. ISC-NOOP(0x02)、ISC-ENABLE(0x15)、reprogram(0x3C)、

ISC-NOOP(0x02)命令を順次送信します。

- 100ms 遅延します。
- ISC-DISABLE(0x3A)と ISC-NOOP(0x02)命令を順次送信します。
- 100ms 遅延します。

User Code の読み出し(0x13)

User Code は合計 32 ビットあり、読み出し命令は 0x13 で、読み出しタイミングは Read ID Code と同様です。

User Code はデフォルトで FS ファイルの checksum 値であり、Gowin Designer で再定義できます。

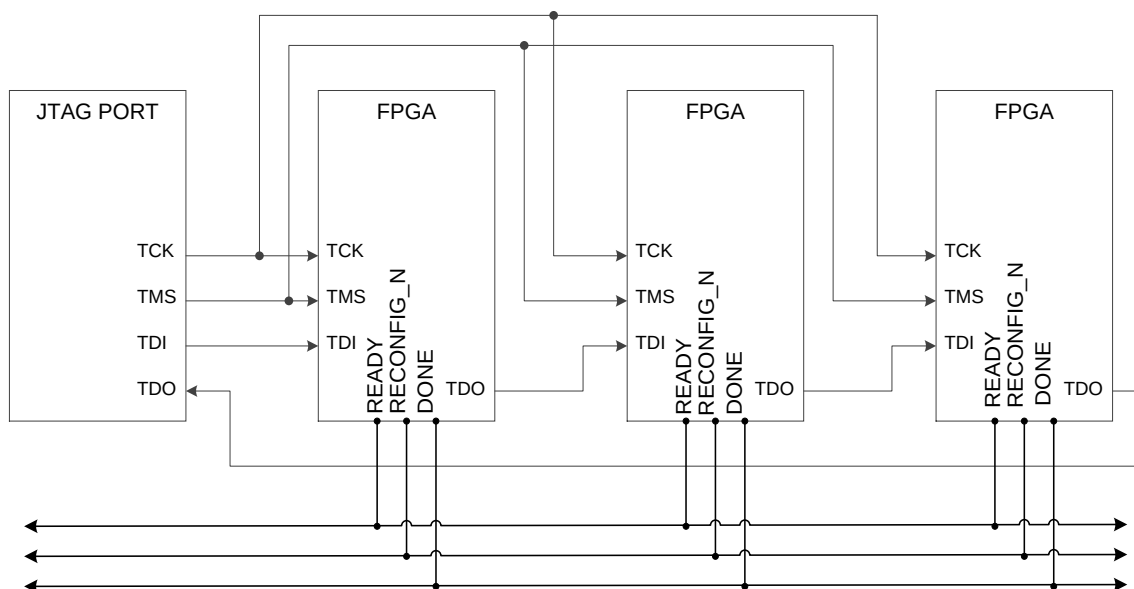
Reconfig (0x3C)

この命令の役割は、FPGA が Flash からデータストリーム・ファイルを読み出し、SRAM にロードするようにすることです。

JTAG で順に Reconfig/Reprogram(0x3C)命令、Noop(0x02)命令を送信することで、デバイスをリロードさせることができます。その効果は、Reconfig N ピンのトリガと同じです。

デージーチェーンの接続図

図 5-16 デイジーチェーンの接続図



5.4 SSPI コンフィギュレーションモード

SSPI(Slave SPI)では、FPGA はスレーブデバイスとして動作し、外部 Host は SPI インターフェースを介して GOWIN セミコンダクターFPGA 製品をコンフィギュレーションします。

5.4.1 SSPI コンフィギュレーションモードのピン

SSPI コンフィギュレーションモードに関連するピンは表 5-9 に示すと

おりです。

表 5-9 SSPI コンフィギュレーションモードのピン

ピン名	I/O タイプ	説明
RECONFIG_N	I, 内部の弱いプルアップ	Low レベルパルス：新しい GowinCONFIG コンフィギュレーションを開始します
READY	I/O, 内部の弱いプルアップ	High レベル：現在デバイスにプログラミング・コンフィギュレーションを行うことができます。 Low レベル：デバイスにプログラミング・コンフィギュレーションを行うことができません。
DONE	I/O, 内部の弱いプルアップ	High レベル：プログラミング・コンフィギュレーションが正常に完了しました。 Low レベル：プログラミング・コンフィギュレーションが完了していないか、失敗しました。
MODE[1:0]	I, 内部の弱いプルダウン	コンフィギュレーションモードの選択用で、READY の立ち上がりエッジでサンプリングされます
SCLK	I, 内部の弱いプルアップ	入力クロック
CLKHOLD_N	I, 内部の弱いプルダウン	アクティブ High
SO	O, 内部の弱いプルダウン	FPGA が Host にデータを出力します
SI	I, 内部の弱いプルダウン	Host が FPGA にデータを入力します
SSPI_CS_N	I, 内部の弱いプルアップ	SSPI のチップセレクト信号、アクティブ Low

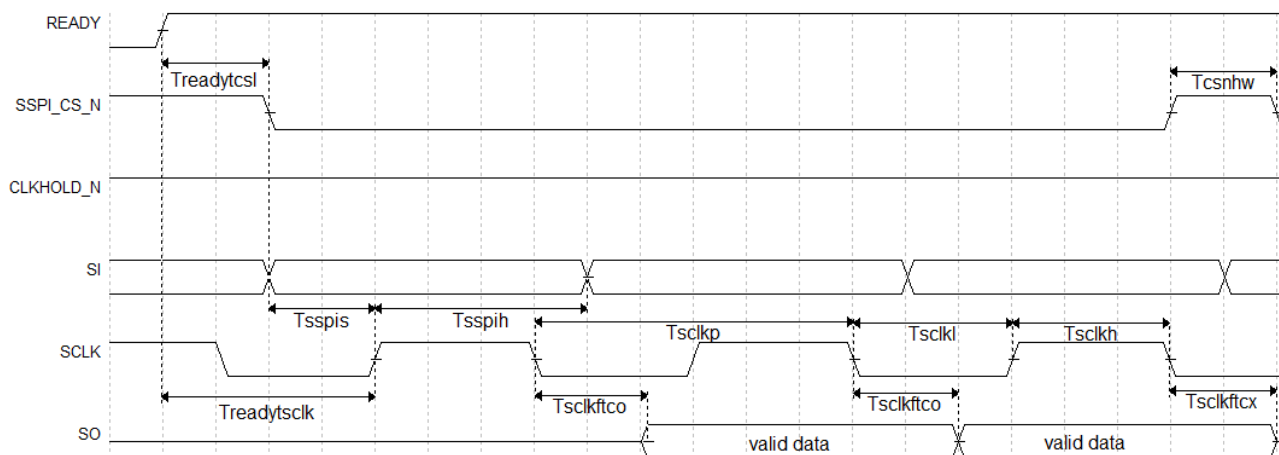
注記：

CLKHOLD_N のデフォルト状態は、内部の弱いプルダウンです。SSPI モードを使用する場合は、CLKHOLD_N を High に設定してください。

5.4.2 SSPI コンフィギュレーションモードのタイミング図

SSPI コンフィギュレーションモードのタイミング図は、図 5-17 に示す通りです。

図 5-17 SSPI コンフィギュレーションモードのタイミング図



そのタイミングパラメータは、表 5-10 に示す通りです。

表 5-10 SSPI コンフィギュレーションモードのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値
T_{scclkp}	SCLK クロックのサイクル(SCLK clock period)	15ns	-
T_{scclkh}	SCLK クロックの High レベル時間(SCLK clock high time)	7.5ns	-
T_{scckl}	SCLK クロックの Low レベル時間(SCLK clock low time)	7.5ns	-
T_{sspis}	SSPI PORT のセットアップ時間(SSPI PORT setup time)	2ns	-
T_{sspih}	SSPI PORT のホールド時間(SSPI PORT hold time)	0ns	-
$T_{scckftco}$	SCLK の立ち下がりエッジからデータ出力に至るまでの時間(Time from SCLK falling edge to output)	-	10ns
$T_{scckftcx}$	SCLK の立ち下がりエッジからハイインピーダンスまでの時間(Time from SCLK falling edge to high impedance)	-	10ns
T_{csnhw}	CSN の High レベルパルスの幅(CSN high time)	25ns	-
$T_{readytcsi}$	READY の立ち上がりエッジから CSN の Low レベルまでの時間(Time from READY rising edge to CSN low)	TBD	
$T_{readytsclk}$	READY の立ち上がりエッジから 1 つ目の SCLK エッジまでの時間(Time from READY rising edge to first SCLK edge)	TBD	-

パワーアップ要件に加え、SSPI モードを使用するには、以下の条件を満たす必要があります。

- **SSPI インターフェースイネーブル**
パワーアップ後の初めてのコンフィギュレーションまたは前回のコンフィギュレーションのとき RECONFIG_N は通常の I/O に設定されていません。
- **新しいコンフィギュレーションの開始**
再パワーアップするか、Low レベルパルスで RECONFIG_N ピンをトリガします。

5.4.3 SSPI コンフィギュレーション命令

SSPI モードでは、FPGA SRAM のプログラミング、ID CODE/USER CODE/STATUS CODE などの読み出し、または外部記憶装置(SPI Flash など)のプログラミングを実現できます。

FPGA の SSPI 命令は通常 1～4 バイトからなります。それには少なくとも 1 つの命令バイトと複数の冗長情報バイトが含まれます。指定されていない場合、冗長情報バイトは任意の数にすることができます(次の表では 0x00 で表されます)。

表 5-11 コンフィギュレーション命令

命令名	完全な命令(命令バイト+冗長情報バイト)
Read ID Code	0x11000000
Read User Code	0x13000000
Read Status Code	0x41000000
Reconfig/Reprogram	0x3C00
Write Enable	0x1500
Write Disable	0x3A00
Write Data	0x3B
Write Data with Quad SPI	0x6B
Program SPI Flash	0x1600
Init Address	0x1200
Erase SRAM	0x0500
Reinit	0x3F00

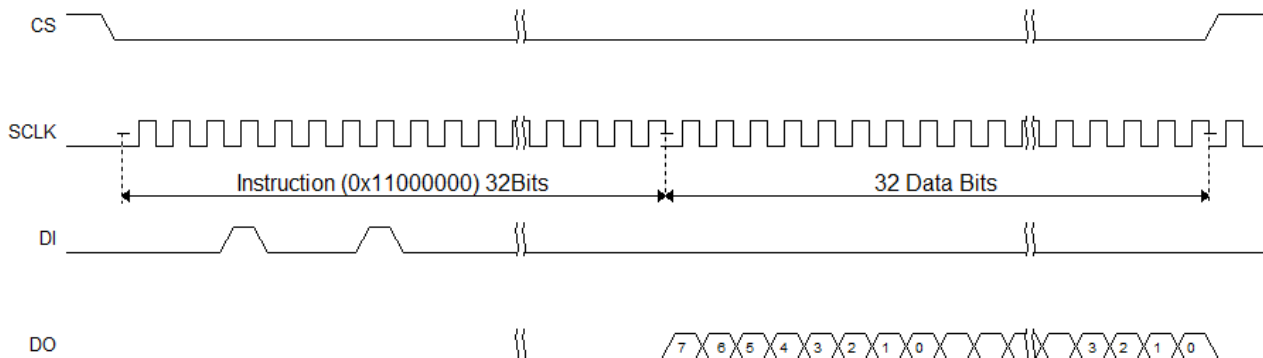
Read ID Code

FPGA の ID Code の長さは 32 ビットであり、ID を読み出すための命令の長さは 32 ビット(0x11000000)です。命令を送信する前に、CS を High にします。さらに、FPGA が CS の状態を認識できるようにこの状態を 2 クロックサイクル以上維持する必要があります。

CS が Low にプルダウンされた後、MSB フォーマットで命令 0x11000000

を書き込みます。この 4 バイトの命令を書き込んだ後、32 クロックを生成する必要があります。このとき、ID Code データは DO から MSB フォーマットで順次シフトアウトされます。

図 5-18 ID Code の読み出しのタイミング図

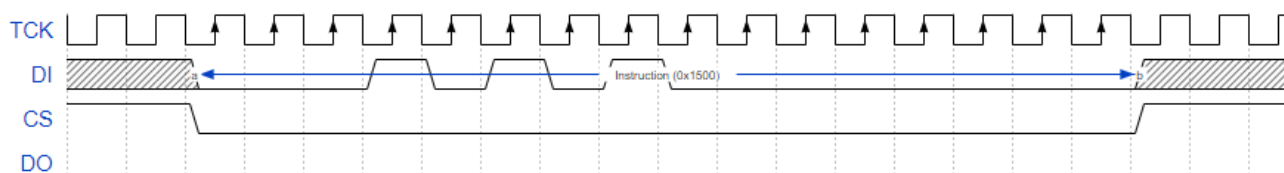


StatusCode/UserCode の読み出しも、ID Code の読み出しと同様です。

Write Enable (0x1500)

SRAM をコンフィギュレーションする前、Write Enable(0x15)命令を使用してデバイスを編集モードにし、デバイスが Write Data(0x3B)命令を受信できるようにします。

図 5-19 Write Enable(0x15)のタイミング図



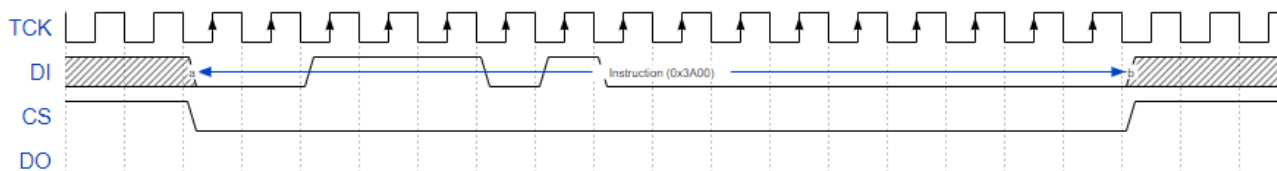
注記：

SCLK の駆動ルール：CS が High の時、FPGA が CS 信号を認識できるようにするために 2 サイクル以上の SCLK が必要です。他の命令の送信もこのルールに従う必要があります。

Write Disable (0x3A00)

データ送信後、Write Disable を使用して編集モードを終了してください。終了後、デバイスをウェイクアップして動作状態にすることができます。

図 5-20 Write Disable (0x3A00)のタイミング図



上記の 0x1500 と 0x3A00 命令のタイミングはほぼ同じです。CS が Low になった後、命令の送信が開始し、命令の送信が完了した後、CS を High にプルアップします。0x3C00(Reconfig/Reprogram)、0x1500(Write Enable)、0x3A000(Write Disable)、0x1600(Program SPI Flash)、0x1200(Init Address)、0x0500(Erase SRAM)などの命令もこのようなタイミングです。

また、SSPI は外部クロックによって駆動されるため、これらの命令の前後で CS が High の時、FPGA が CS の状態をキャプチャできるようになるまで 2 つ以上のクロックサイクルが必要です。

Erase SRAM(0x0500)

この命令のタイミングは Write Enable/Write Disable と同じであり、命令の内容を 0x0500 に置き換えただけです。

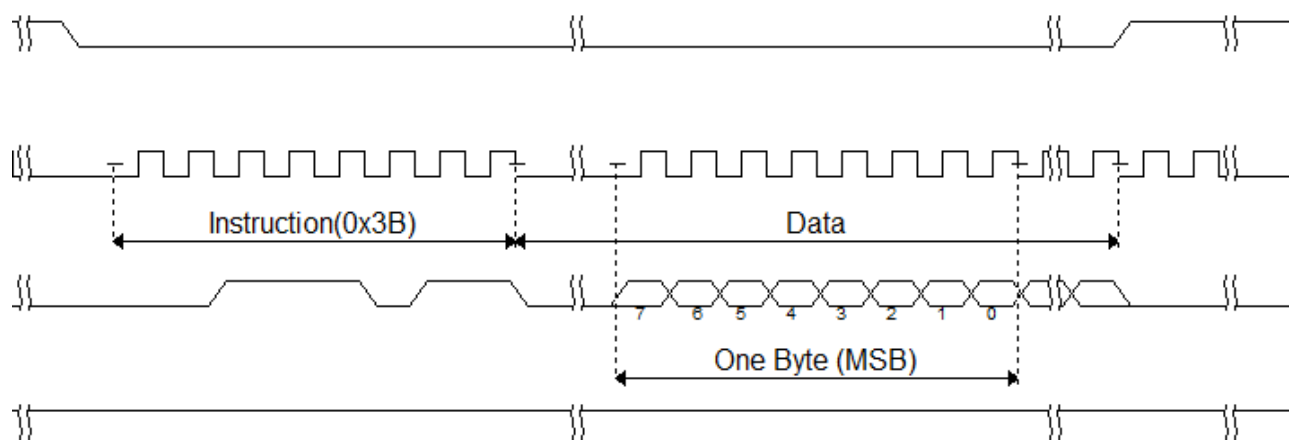
命令を送信した後、命令が実行されるまで少なくとも 10ms の遅延が必要です。

Write Data (0x3B)

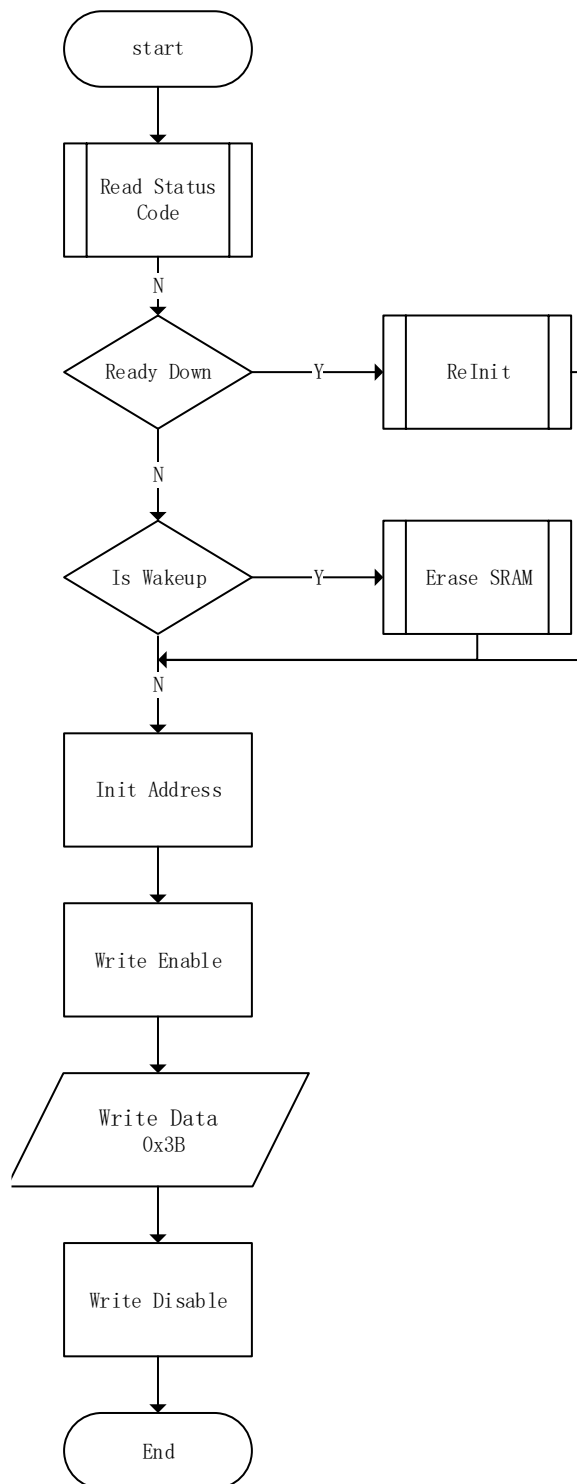
Write Data(0x3B)命令を使用して FPGA デバイスにデータストリーム・ファイルを直接送信します。

データの書き込み中、CS が Low のままである必要があります。

図 5-21 Write Data(0x3B)のタイミング図



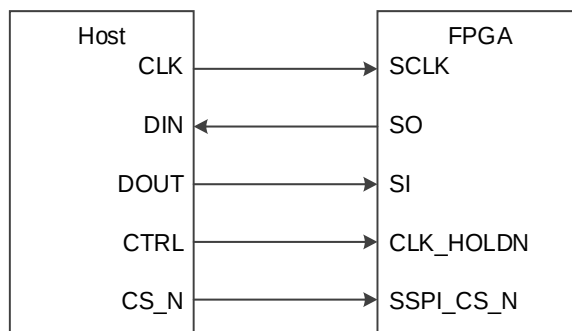
5.4.4 SSPI コンフィギュレーションモードでの SRAM コンフィギュレーションのフローチャート



5.4.5 SSPI コンフィギュレーションモードの接続図

SSPI コンフィギュレーションモードを利用した GOWIN セミコンダクターFPGA 製品のコンフィギュレーションの接続図は図 5-22 に示すとおりです。

図 5-22 SSPI コンフィギュレーションモードの接続図



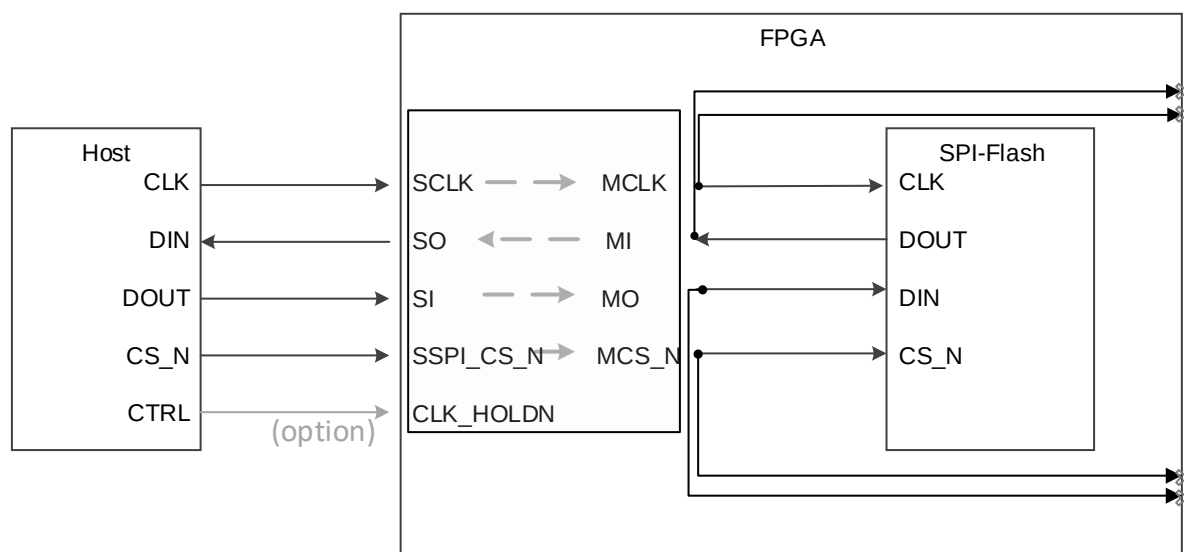
注記：

- この図は SSPI コンフィギュレーションモードの最小システム図を示しています。他の固定ピンの接続については図 5-1 を参照してください。
- CLKHOLD_N のデフォルト状態は、内部の弱いプルダウンです。SSPI モードを使用する場合は、CLKHOLD_N を High に設定してください。

通常の SRAM コンフィギュレーション操作に加えて、SSPI コンフィギュレーションピンはオンチップ SPI Flash のプログラミングにも使用できます。Flash プログラミングの MODE 値は SSPI コンフィギュレーションモードの MODE 値と同じです。ユーザーは Gowin プログラミングソフトウェアでコンフィギュレーションデータを SRAM またはオンチップ Flash に書き込むことができます。オンチップ Flash からロードする前に、MODE を MSPI MODE に調整してから、再パワーアップするか RECONFIG_N をトリガして MSPI ロードをトリガする必要があります。

SSPI インターフェースを介したオンチップ Flash プログラミングの接続図は図 5-23 に示すとおりです。

図 5-23 SSPI インターフェースを介したオンチップ Flash プログラミングの接続図



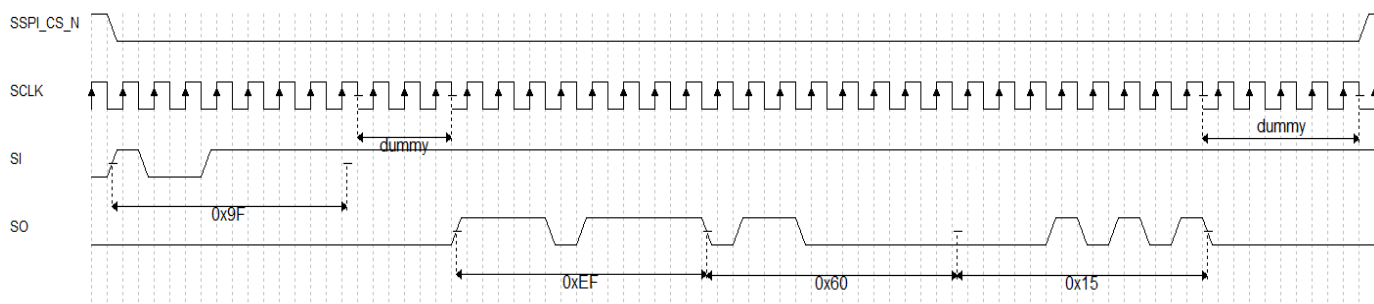
Flash プログラミングのフローチャートを図 5-29 に示します。まず、「Program SPI Flash」(0x1600)命令を SSPI を介して FPGA に送信します。その後、FPGA は SSPI を Flash に転送できます。これにより、Host は SSPI を介して Flash に直接アクセスでき、Flash の関連するタイミングに従って Flash をプログラミングできるようになります。

Flash からデータを読み出す場合、データが 3 ビット分遅延することに注意してください。たとえば、SSPI が Flash の ID Code を読み出す場合、最後の 3 ビットを取得するために追加の 3 クロックを送信する必要があります。

SSPI を介したオンチップ Flash ID Code の読み出し

GW2AN-9X/18X のオンチップ Flash のモデルおよび ID Code は、製品ロットによって異なる場合があります。ただし、Flash ID Code を読み出すタイミングは同じです。GW2AN-9X のオンチップ Flash の ID Code を 0x9F 命令で読み出すタイミングを以下に示します。

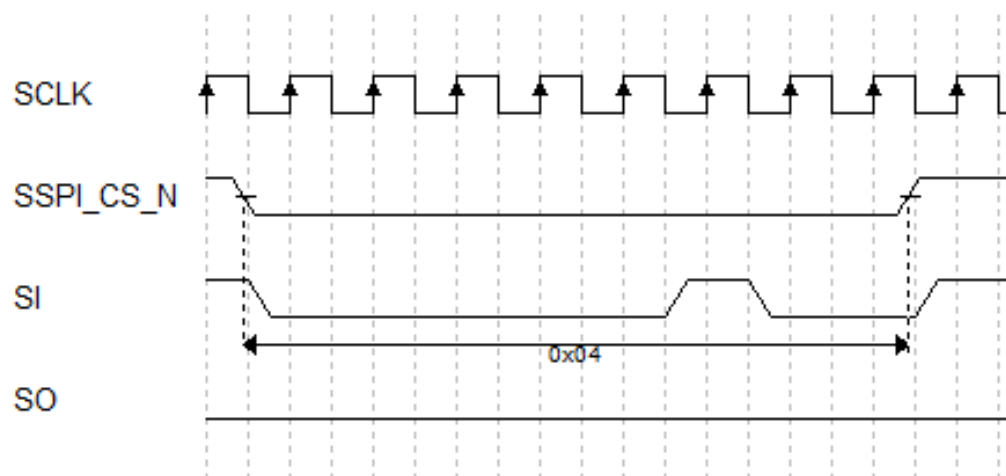
図 5-24 SSPI を介したオンチップ Flash ID Code 読み出しのタイミング図



SSPI を介したオンチップ Flash への命令送信

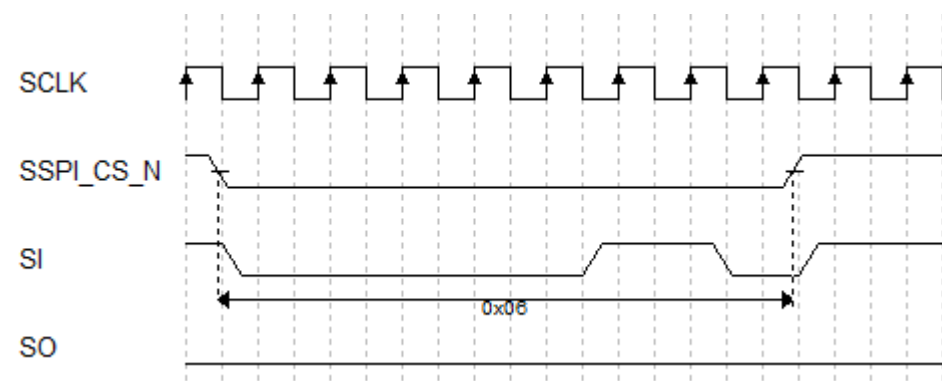
オンチップ Flash に WriteDisable (0x04) 命令を送信するタイミングを以下に示します。

図 5-25 SSPI を介した WriteDisable(0x04)命令送信のタイミング図



オンチップ Flash に WriteEnable (0x06) 命令を送信するタイミングを以下に示します。

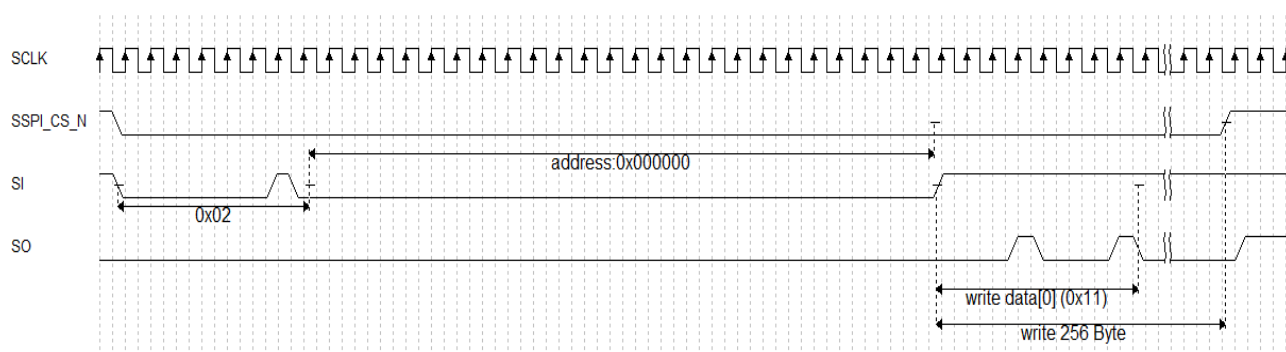
図 5-26 SSPI を介した WriteEnable(0x06)命令送信のタイミング図



SSPI を介したオンチップ Flash のプログラミング

オンチップ Flash の 1 ページをプログラムするタイミングを以下に示します。

図 5-27 SSPI を介した 1 ページのプログラミングのタイミング図



SSPI を介したオンチップ Flash の読み出し

Flash のアドレス 0x00 から 1 バイトをリードバックするタイミングを以下に示します。

図 5-28 SSPI を介した 1 バイトのリードバックのタイミング図

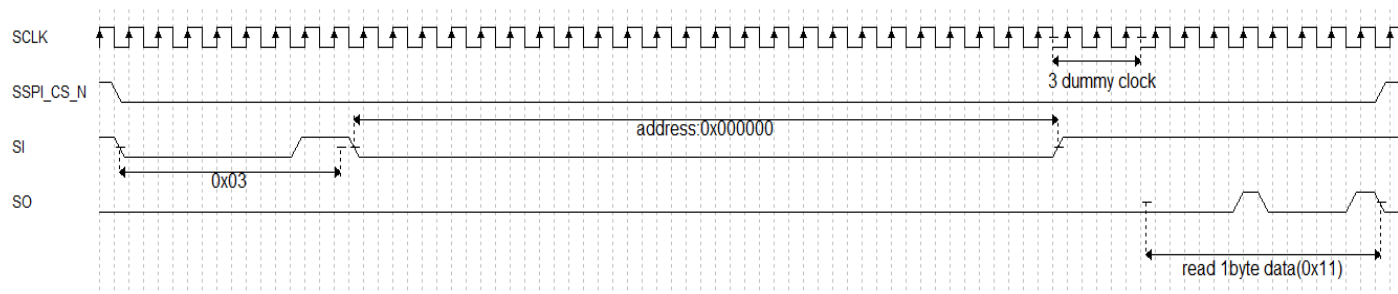
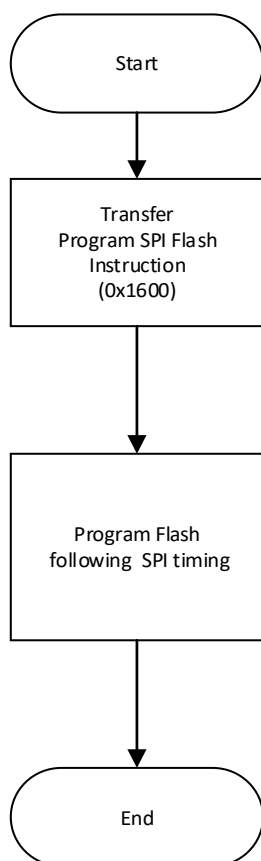


図 5-29 SSPI を介した Flash プログラミングのフローチャート



5.4.6 SSPI モードでの複数 FPGA の接続図

図 5-30 複数 FPGA の接続図 1

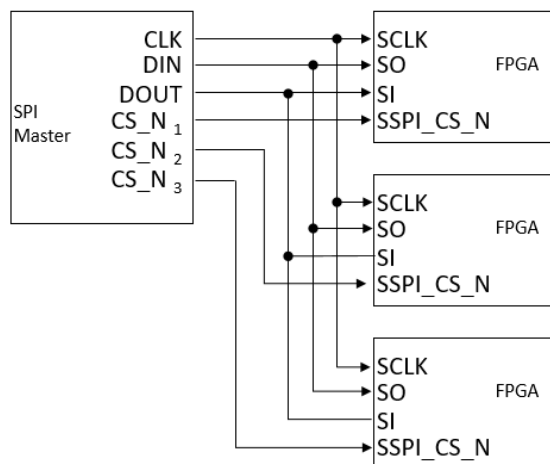
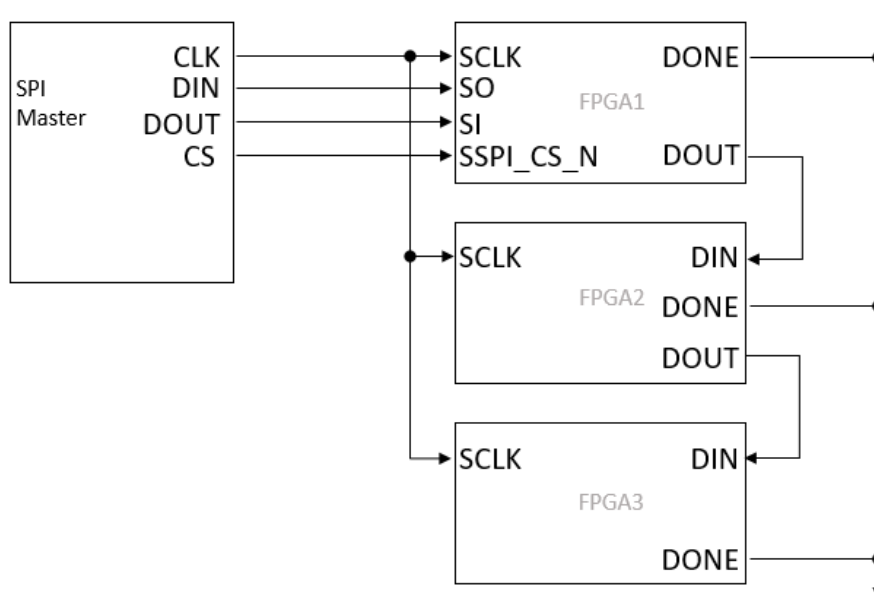


図 5-31 複数 FPGA の接続図 2



5.5 QSSPI コンフィギュレーションモード

Gowin のオンチップ Flash はデフォルトで Flash の Quad Enable Bit(QE) を有効にしており、Quad Slave SPI(QSSPI)を直接使用できます。QSSPI コンフィギュレーションモードに関連するピンは表 5-12 に示すとおりです。

表 5-12 QSSPI モードのピン

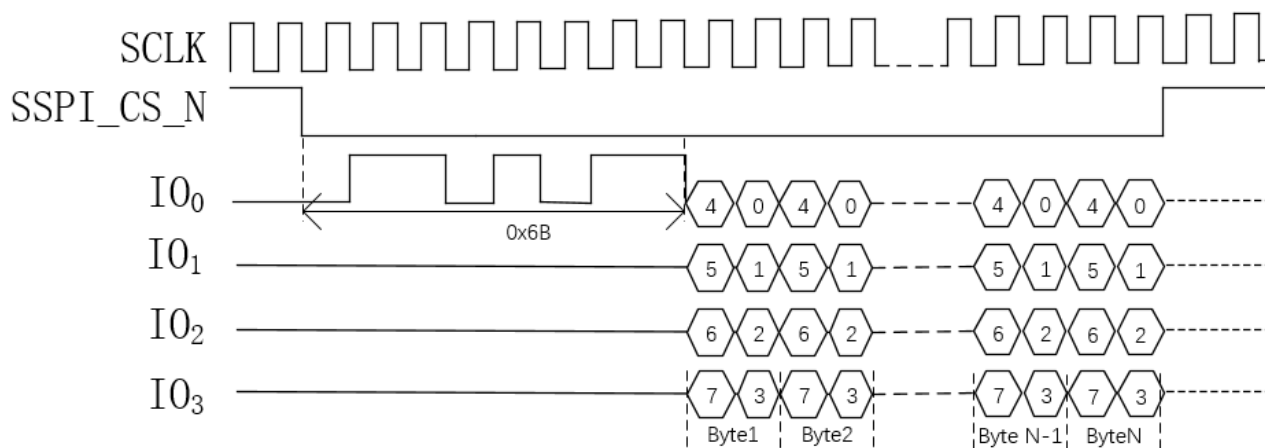
ピン名	I/O タイプ	説明
RECONFIG_N	I、内部の弱いプルアップ	Low レベルパルス:新しい GowinCONFIG コンフィギュレーションを開始します
READY	I/O、内部の弱いプルアップ	High レベル: 現在デバイスにプログラミング・コンフィギュレーションを行うこと

ピン名	I/O タイプ	説明
		ができます。 Low レベル：デバイスにプログラミング・コンフィギュレーションを行うことができません。
DONE	I/O、内部の弱いプルアップ	High レベル：プログラミング・コンフィギュレーションが正常に完了しました。 Low レベル：プログラミング・コンフィギュレーションが完了していないか、失敗しました。
MODE[1:0]	I、内部の弱いプルダウン	コンフィギュレーションモードの選択用で、 READY の立ち上がりエッジでサンプリングされます
SCLK	I、内部の弱いプルアップ	入力クロック
IO ₃ (CLKHOLD_N)	I、内部の弱いプルダウン	Qaud SPI の IO ₃ として使用されます。
IO ₂ (QSSPI_WPN)	I、内部の弱いプルダウン	Qaud SPI の IO ₂ として使用されます。
IO ₁ (SO)	O、内部の弱いプルダウン	Qaud SPI の IO ₁ として使用されます。
IO ₀ (SI)	I、内部の弱いプルダウン	Qaud SPI の IO ₀ として使用されます。
SSPI_CS_N	I、内部の弱いプルアップ	QSSPI のチップセレクト信号、アクティブ Low

QSSPI モードでの **SRAM** のコンフィギュレーション手順は次のとおりです。ここで、**Read Status**、**Reinit**、**Erase SRAM**、**InitAddress**、**Write Enable**、**Write Disable** は引き続き **SSPI** 命令を使用し、**Write Data** のみが **QSSPI** 命令を使用します。

QSSPI Write Data (0x6B) のタイミングを図 5-32 に示します。

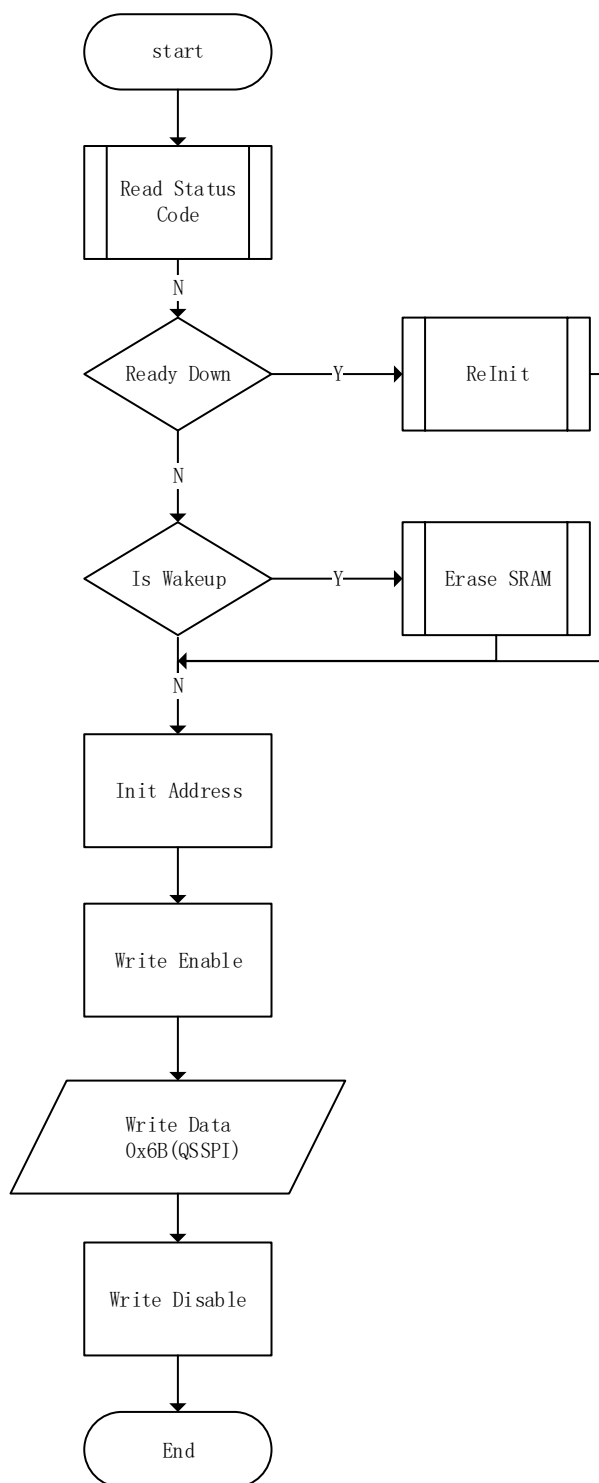
図 5-32 QSSPI Write Data (0x6B) のタイミング図



QSSPI モードでの **SRAM** のコンフィギュレーション手順を図 5-33 に示

します。

図 5-33 QSSPI モードでの SRAM コンフィギュレーションのフローチャート



QSSPI モードを使用した Flash プログラミングの手順は次のとおりです。

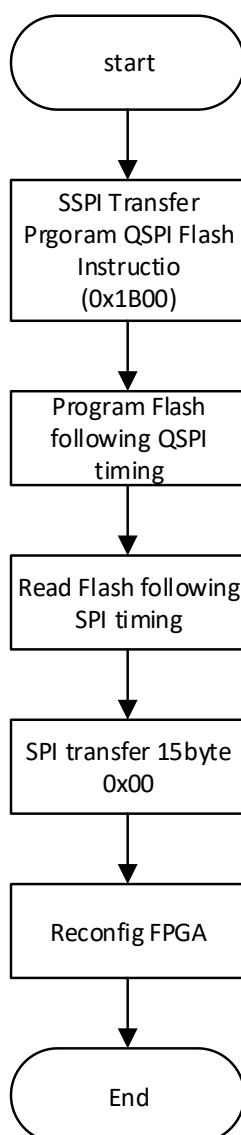
1. Standard SPI を介して 0x1B 命令 (sspi_prgm_qspi) を送信します。
この間、QSSPI_WPN ピンと CLKHOLD_N ピンは High のままである必要があります。
2. QSPI を介した Flash プログラミングを開始します (Flash プログラミング)

グの際、write enable (0x04)命令と write disable (0x06)命令は Standard SPI を使用して送信され、データの書き込みには QSPI が使用されます)。

3. プログラミング後、Standard SPI で 0x00 命令を 15 個送信する必要があります。
4. Flash をリードバックしたい場合、Standard SPI を使用する必要があります。QSSPI は、4 線での Flash リードバックをサポートしていません。

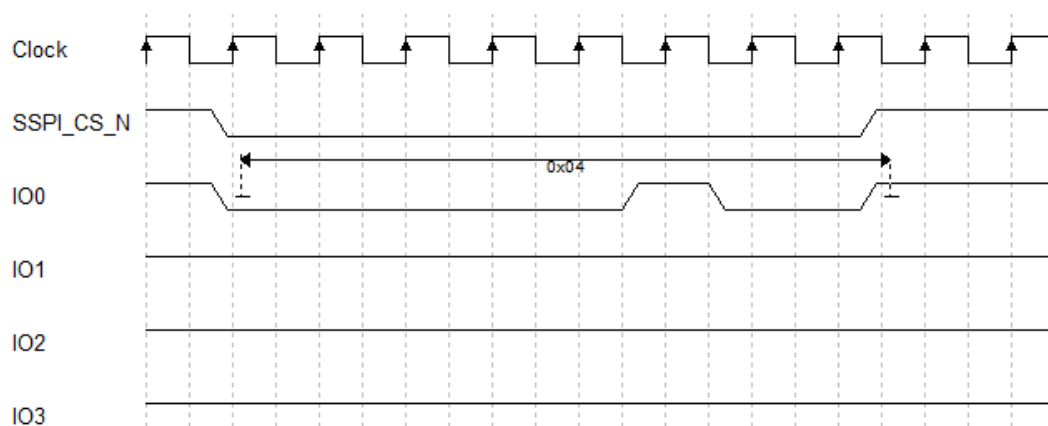
Standard SPI を介して Reboot(0x3C)命令を送信するか、RECONFIG_N ピンをトリガーすることにより、FPGA は自動的に bitstream ファイルをロードします。QSSPI モードを使用した Flash プログラミングのフローチャートは次のとおりです。

図 5-34 QSSPI モードでの Flash プログラミングのフローチャート



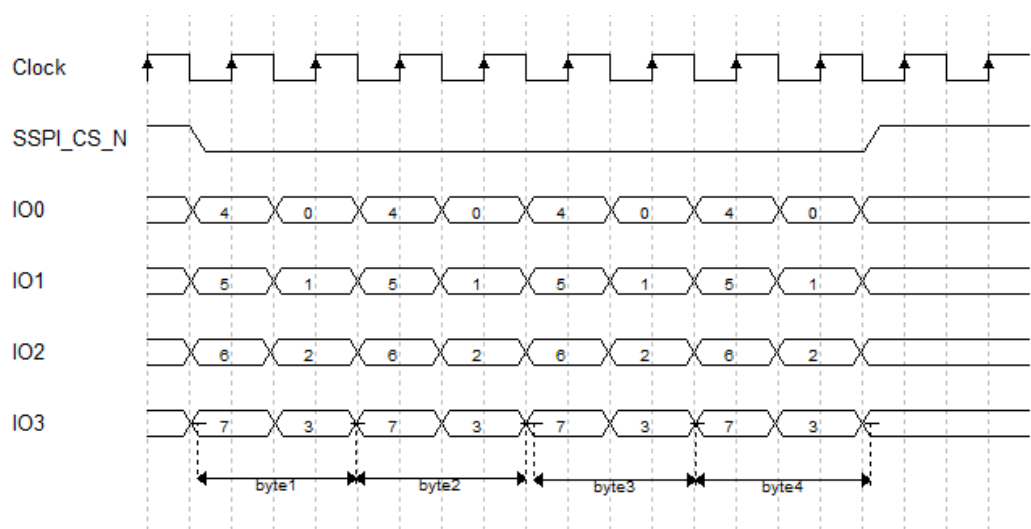
QSSPI write instruction（例えば、0x04）のタイミングを下図に示します。

図 5-35 QSSPI write instruction のタイミング図



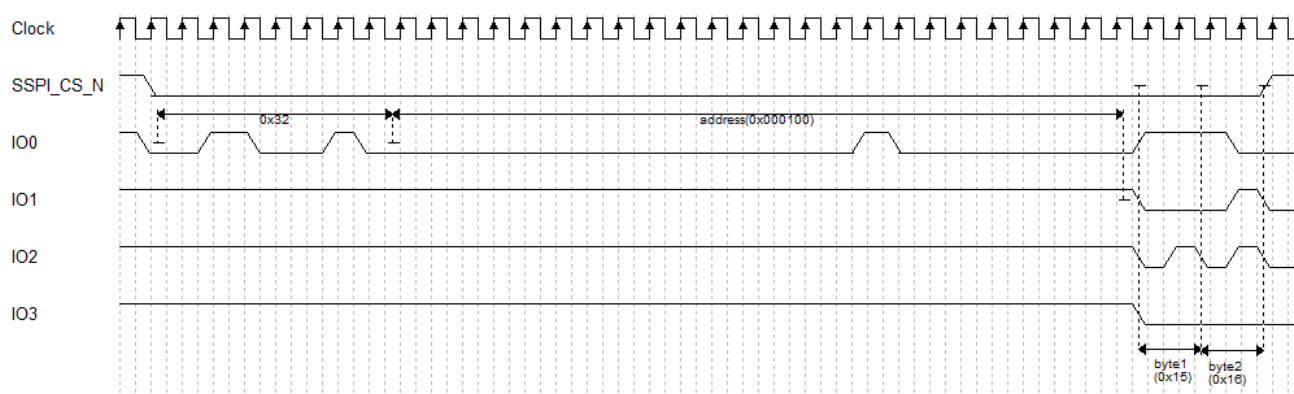
QSSPI write data のタイミングを下図に示します。

図 5-36 QSSPI write data のタイミング図



QSSPI page program のタイミングを下図に示します。

図 5-37 QSSPI page program のタイミング図



注記：

このタイミング図は、アドレス 0x000100 から 2 バイトのデータ(0x15, 0x16)を書き込むシーケンスを示しています。

5.6 CPU コンフィギュレーションモード

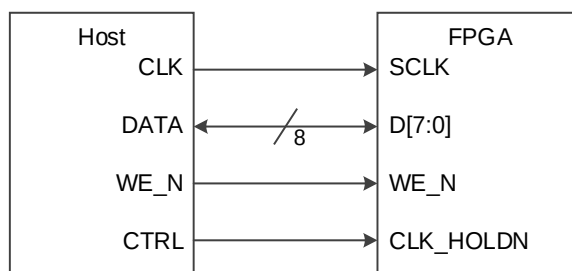
CPU コンフィギュレーションモードでは、ホストは 8 ビット幅のデータバスインターフェースを介して GOWIN セミコンダクターFPGA 製品をコンフィギュレーションします。CPU コンフィギュレーションモードのピンは表 5-13 に示すとおりです。

表 5-13 CPU コンフィギュレーションモードのピン

ピン名	I/O タイプ	説明
RECONFIG_N	I、内部の弱いプルアップ	Low レベルパルス：新しい GowinCONFIG コンフィギュレーションを開始します
READY	I/O、内部の弱いプルアップ	High レベル：現在デバイスにプログラミング・コンフィギュレーションを行うことができます Low レベル：デバイスにプログラミング・コンフィギュレーションを行うことができません
DONE	I/O、内部の弱いプルアップ	High レベル：プログラミング・コンフィギュレーションが正常に完了しました。 Low レベル：プログラミング・コンフィギュレーションが完了していないか、失敗しました。
MODE[1:0]	I、内部の弱いプルダウン	コンフィギュレーションモードの選択信号、READY の立ち上がりエッジでサンプリングされます
SCLK	I、内部の弱いプルアップ	入力クロック
CLKHOLD_N	I、内部の弱いプルダウン	CPU モードにおけるチップセレクト信号で、アクティブ Low。つまり、FPGA を CPU モードでコンフィギュレーションするには、この信号が Low である必要があります。
WE_N	I、内部の弱いプルダウン	読み出し書き込みイネーブル 0：書き込み 1：読み出し
D[7:0]	I/O	データ入出力ポート：CPU コンフィギュレーション中は入力ピンとして使用され、コンフィギュレーション完了後は検証用の出力ピンに変換できます。

CPU コンフィギュレーションモードの接続図は図 5-38 に示すとおりです。

図 5-38 CPU コンフィギュレーションモードの接続図



注記：

この図は CPU コンフィギュレーションモードの最小システム図です。モードの **MODE** 値は“11”で、他の固定ピンの接続については図 5-1 を参照してください。

パワーアップ要件に加え、CPU モードを使用するには、以下の条件を満たす必要があります。

- **CPU インターフェースイネーブル**
パワーアップ後の初めてのコンフィギュレーションまたは前回のコンフィギュレーションのとき **RECONFIG_N** は通常の I/O に設定されていません。
- **新しいコンフィギュレーションを開始します**
再パワーアップするか、**Low** レベルパルスで **RECONFIG_N** ピンをトリガします。

5.6.1 コンフィギュレーションのタイミング

コンフィギュレーションする前に、**MODE[1:0]** が 11 に設定されていることを確認してください。コンフィギュレーションが完了すると、**DONE** が **High** にプルアップされます。**Low** レベルの **DONE** または **READY** は、コンフィギュレーションが失敗したことを示します。

コンフィギュレーション中、データバス **D[7 : 0]** はビッグエンディアンモード(**MSB** ファースト)で処理され、FPGA は **SCLK** の立ち下がりエッジでデータを読み出します。

図 5-39 CPU コンフィギュレーションモードの説明図

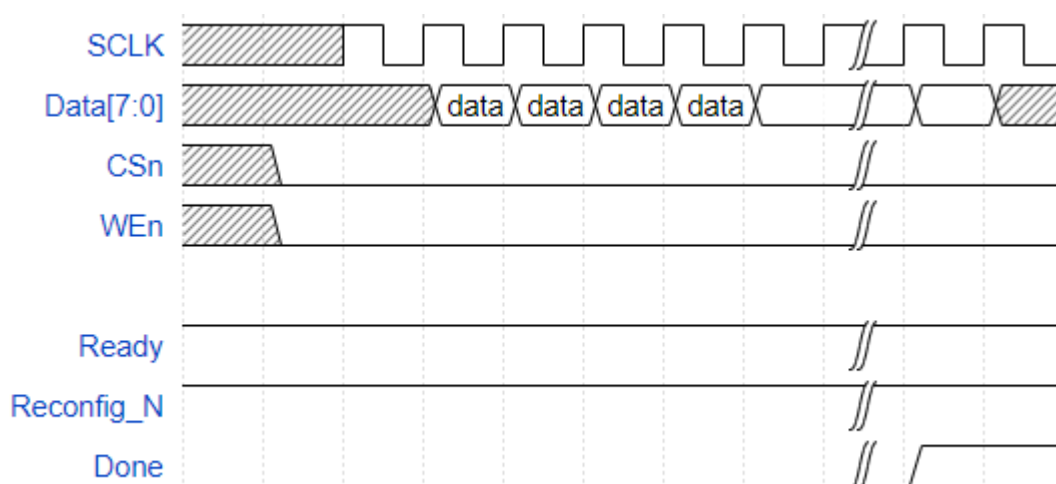


図 5-40 CPU コンフィギュレーションモードのタイミング図

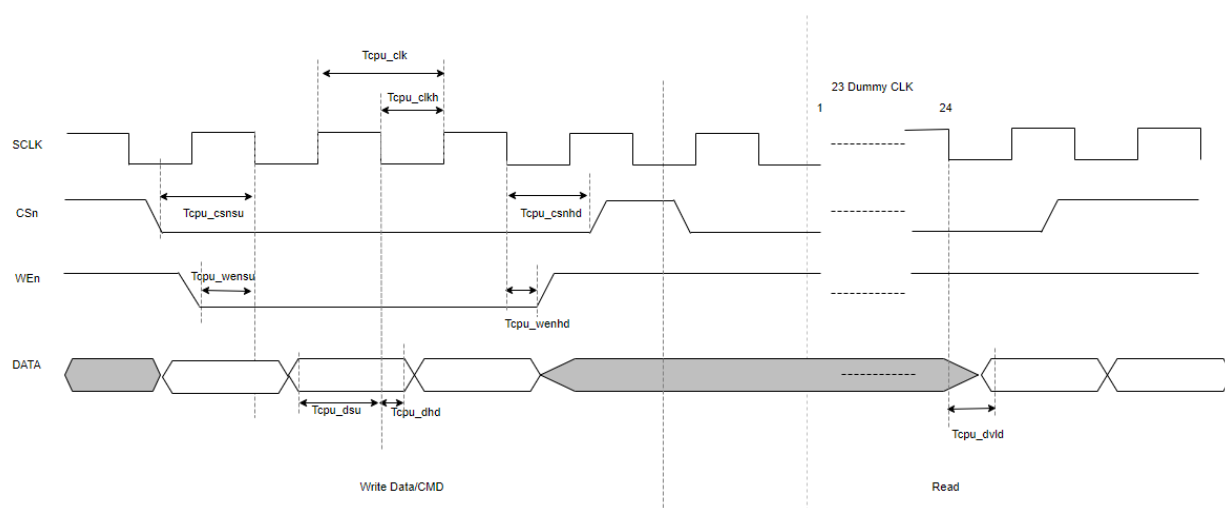


表 5-14 CPU コンフィギュレーションモードのタイミングパラメータ

名称	説明	最小値	最大値	単位
T _{cpu_clk}	CPU 入力クロックサイクル (CPU input clock period)	40	–	ns
T _{cpu_csnsu}	SCLK の立ち下がりまでの CLKHOLD_N(CSn)セットアップ時間 (CLKHOLD_N(CSn) setup time to SCLK falling)	8	–	ns
T _{cpu_csnhd}	SCLK の立ち下がりからの CLKHOLD_N(CSn)ホールド時間 (CLKHOLD_N(CSn) hold time from SCLK falling)	0	–	ns
T _{cpu_wensu}	SCLK の立ち下がりまでの WE_N セットアップ時間(WE_N setup time to SCLK falling)	8	–	ns
T _{cpu_wenhd}	SCLK の立ち下がりからの WE_N ホールド時間(WE_N hold time from SCLK falling)	0	–	ns
T _{cpu_dsu}	SCLK の立ち下がりまでの書き込みデータ入力セットアップ時間 (Write data input setup time to SCLK falling)	10	–	ns
T _{cpu_dhd}	SCLK の立ち下がりからの書き込みデータ入力ホールド時間 (Write data input hold time from SCLK falling)	0	–	ns
T _{cpu_dvld}	SCLK 立ち下がりから読み出しデータ出力有効までの時間(SCLK falling to read data output valid)	–	10	ns
T _{cpu_clkh}	CPU 入力クロック High 時間(CPU input clock high duration)	(clock cycle) *45%	(clock cycle) *55%	–

5.7 SERIAL コンフィギュレーションモード

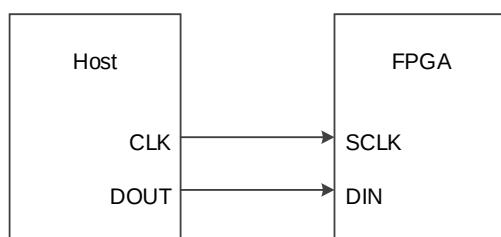
SERIAL モードでは、Host はシリアルインターフェースを介して GOWIN セミコンダクター FPGA 製品をコンフィギュレーションします。SERIAL コンフィギュレーションモードは、最少ピン数を使用するコンフィギュレーションモードの 1 つです。SERIAL コンフィギュレーションモードでは、ビットストリームデータを FPGA に書き込むことはできますが、FPGA デバイスからデータをリードバックすることはできません。よって、SERIAL コンフィギュレーションモードでは ID CODE、USER CODE、およびステータスレジスタ情報を読み出すことができません。SERIAL コンフィギュレーションモードのピンの定義は表 5-15 に示すとおりです。

表 5-15 SERIAL コンフィギュレーションモードのピンの定義

ピン名	I/O タイプ	説明
RECONFIG_N	I、内部の弱いプルアップ	Low レベルパルス：新しい GowinCONFIG コンフィギュレーションを開始します
READY	I/O、内部の弱いプルアップ	High レベル：現在デバイスにプログラミング・コンフィギュレーションを行うことができます Low レベル：デバイスにプログラミング・コンフィギュレーションを行うことができません
DONE	I/O、内部の弱いプルアップ	High レベル：プログラミング・コンフィギュレーションが正常に完了しました。 Low レベル：プログラミング・コンフィギュレーションが完了していないか、失敗しました。
MODE[1:0]	I、内部の弱いプルダウン	コンフィギュレーションモードの選択信号、READY の立ち上がりエッジでサンプリングされます
SCLK	I、内部の弱いプルアップ	入力クロック
DIN	I、内部の弱いプルダウン	入力データ
DOUT	O、内部の弱いプルダウン	出力データ。FPGA カスケード接続時の SERIAL コンフィギュレーションモードでのみ使用されます。

SERIAL コンフィギュレーションモードの接続図は図 5-41 に示すとおりです。

図 5-41 SERIAL コンフィギュレーションモードの接続図



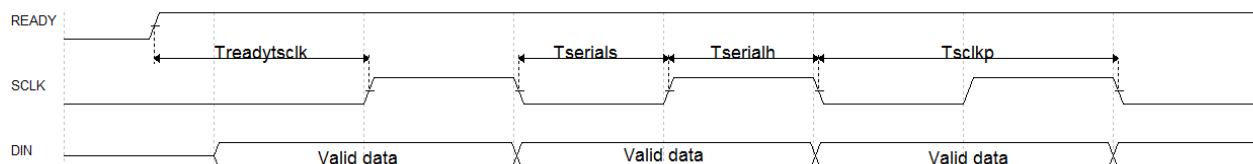
注記：

この図は SERIAL コンフィギュレーションモードの最小システム図です。モードの MODE 値は “10” で、他の固定ピンの接続については図 5-1 を参照してください。

SERIAL コンフィギュレーションモードのタイミング図

SERIAL コンフィギュレーションモードのタイミングを図 5-42 に示します。

図 5-42 SERIAL コンフィギュレーションモードのタイミング図



そのタイミングパラメータは、表 5-16 に示す通りです。

表 5-16 SERIAL コンフィギュレーションモードのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値
T_{scclkp}	SCLK クロックのサイクル(SCLK clock period)	15ns	-
$T_{serials}$	SERIAL PORT のセットアップ時間(SERIAL PORT setup time)	2ns	-
$T_{serialh}$	SERIAL PORT のホールド時間(SERIAL PORT hold time)	0ns	-
$T_{readytsclk}$	READY の立ち上がりエッジから 1 目の SCLK エッジまでの時間(Time from READY rising edge to first SCLK edge)	TBD	-

パワーアップ要件に加え、SERIAL モードを使用するには、以下の条件を満たす必要があります。

- SERIAL インターフェースイネーブル
パワーアップ後の初めてのコンフィギュレーションまたは前回のコンフィギュレーションのとき RECONFIG_N は通常の I/O に設定されていません。
- 新しいコンフィギュレーションを開始します
再パワーアップするか、Low レベルパルスで RECONFIG_N ピンをトリガします。

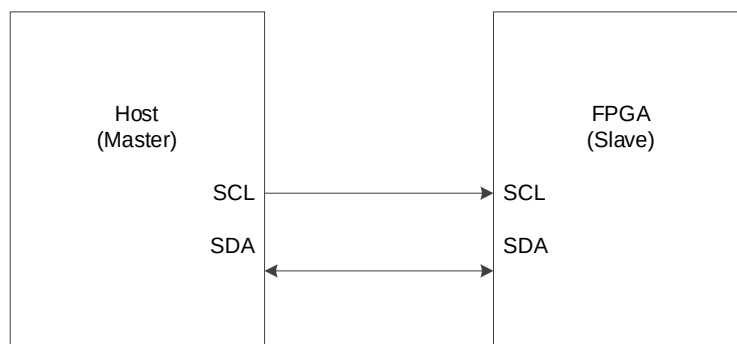
5.8 I²C コンフィギュレーションモード

I²C モードでは、Host は I²C インターフェースを介して GOWIN セミコンダクターFPGA 製品をコンフィギュレーションします。I²C コンフィギュレーションモードは、最少ピン数を使用するコンフィギュレーションモードの1つです。I²C コンフィギュレーションモードでは、ビットストリームデータを FPGA に書き込むことはできますが、FPGA デバイスからデータをリードバックすることはできません。よって、I²C コンフィギュレーションモードでは、ID CODE、USER CODE、およびステータスレジスタ情報を読み出すことや、リードバックすることができません。I²C コンフィギュレーションモードのピンの定義は表 5-17 に示すとおりです。

表 5-17 I²C コンフィギュレーションモードのピンの定義

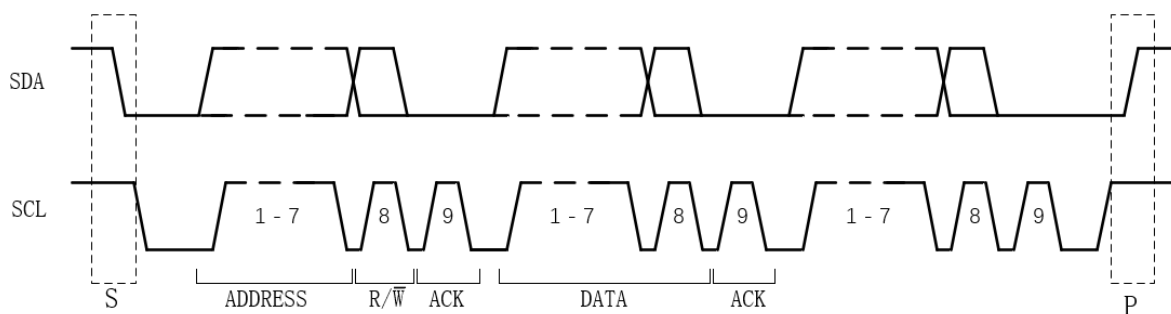
ピン名	I/O タイプ	説明
RECONFIG_N	I、内部の弱いプルアップ	Low レベルパルス：新しい GowinCONFIG コンフィギュレーションを開始します
READY	I/O、内部の弱いプルアップ	High レベル：現在デバイスにプログラミング・コンフィギュレーションを行うことができます。 Low レベル：デバイスにプログラミング・コンフィギュレーションを行うことができません。
DONE	I/O、内部の弱いプルアップ	High レベル：プログラミング・コンフィギュレーションが正常に完了しました。 Low レベル：プログラミング・コンフィギュレーションが完了していないか、失敗しました。
MODE[1:0]	I、内部の弱いプルダウン	コンフィギュレーションモードの選択信号、READY の立ち上がりエッジでサンプリングされます
SCL	I、内部の弱いプルダウン	入力クロック
SDA	I/O、内部の弱いプルダウン	入力データ、または出力 ACK I ² C コンフィギュレーションモードをサポートする場合、SDA ピンを外部でプルアップする必要があります

I²C コンフィギュレーションモードの接続図は、図 5-43 に示す通りです。

図 5-43 I²C コンフィギュレーションモードの接続図

注記：

- この図は I²C コンフィギュレーションモードの最小システム図を示しています。他の固定ピンの接続については図 5-1 を参照してください。
- GW2AN-18X/9X は標準の I²C バスをサポートせず、I²C プロトコルでの単一デバイスのコンフィギュレーションのみをサポートしています。

図 5-44 I²C コンフィギュレーションモードのタイミング図

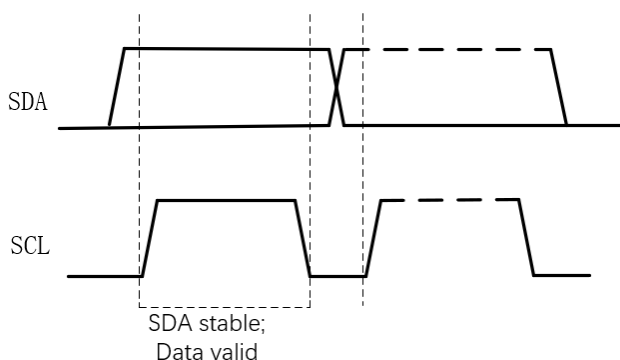
I²C はシリアル伝送バスであり、上図に示すプロトコルに従ってデータ伝送を実行します。アイドル状態では、SDA と SCL の両方が High レベルです。

表 5-18 I²C コンフィギュレーションモードのタイミングパラメータ

パラメータ	パラメータの意味	
S	開始条件	SCL が High の場合、SDA が High から Low になります。
P	停止条件	SCL が High の場合、SDA が Low から High になります。
ADDRESS	アドレスフレーム	各スレーブデバイスの一意の 7 ビットまたは 10 ビットのシーケンスであり、マスターデバイスがスレーブデバイスと通信するとき、このスレーブデバイスを識別するために使用されます。
R/W	読み出し/書き込みビット	マスターデバイスがスレーブデバイスにデータを送信するか (0)、スレーブデバイスからデータを読み出すか (1) を指定します。
ACK	ACK/NACK ビット	メッセージ内の各フレームの後に ACK/NACK ビットが続き、Gowin FPGA が正しい場合に 0 を返します。
DATA	データ	1 つのデータは 8 ビットで、MSB(Most Significant Bit) First フォーマットで送信されます。

I²C バス上のすべてのデータはバイト(8 ビット)で転送されます。送信

機が 1 バイトを送信するごとに、データラインがクロックパルス 9 の間に解放され、受信機から応答信号がフィードバックされます。**Low** の応答信号は、肯定応答ビット (**ACK**) として定義されます。これは、受信機がバイトを正常に受信したことを意味します。**High** の応答信号は、否定応答ビット (**NACK**) として定義されます。これは通常、受信機がバイトの受信に成功しなかったことを意味します。肯定応答ビット **ACK** のフィードバックの要件は、受信機が 9 番目のクロックパルスの前の **Low** レベル期間中に **SDA** ラインを **Low** にプルダウンし、かつクロックの **High** レベル期間中にそれを安定した **Low** レベルのままにすることです。受信機がマスターの場合、最後のバイトを受信した後、受信機は **NACK** 信号を送信して、制御された送信機に、データ送信を終了して **SDA** ラインを解放するように通知します。これにより、マスター受信機は停止信号を送信できるようになります。**I²C** バスで転送されるデータの各ビットには、対応するクロックパルス（または同期制御）があります。つまり、**SCL** シリアルクロックに連動して、データは **SDA** でビットずつシリアルに転送されます。データ転送の際、**SCL** の **High** レベル期間中、**SDA** のレベルは安定している必要があります。**Low** レベルはデータ 0、**High** レベルはデータ 1 です。**SCL** が **Low** の場合에만、**SDA** ラインはレベル状態を変更できます。次の図に示すとおりです。



Gowin デバイスでサポートされている **I²C** コンフィギュレーションモード情報を表 5-19 に示します。

表 5-19 **I²C** コンフィギュレーションモードの周波数およびアドレス

モード	デバイス	周波数	アドレス
SRAM	GW2AN-18X/9X シリーズ	100KHz~555K	7'b10100 <u>00</u> ^[1]
オンチップ Flash ^[2]			

注記：

- [1] **I²C** のスレーブアドレスは 2 ビットの構成をサポートし、デフォルトのアドレスは 7'b1010000 です。下線の付いたビットを 1 に変更でき、ただし、1 に変更した場合、0 に戻すことはできません。
- [2] **I²C** で Flash を操作するには、データストリーム・ファイルを特定のデータストリームに変換する必要があります。変換ツールは Gowin Programmer に含まれており、変換されたファイル名の拡張子は「.i2c」です。「.i2c」はバイナリファイルです。

パワーアップ要件に加え、**I²C** モードを使用するには、以下の条件を満

たす必要があります。

- I²C インターフェースイネーブル
パワーアップ後の初めてのコンフィギュレーションまたは前回のコンフィギュレーションのとき RECONFIG_N は通常の I/O に設定されていません。
- 新しいコンフィギュレーションを開始します
再パワーアップするか、Low レベルパルスで RECONFIG_N ピンをトリガします。

5.8.1 コンフィギュレーション命令

I²C コンフィギュレーションモードでは、統一したアドレスが使用され、命令を通じて SRAM または Flash をコンフィギュレーションします。以下は、I²C コンフィギュレーション命令の一覧です。

表 5-20 I²C コンフィギュレーション命令

名称	完全な命令(命令バイト+冗長情報バイト)
Reinit	0x3f
Config-SRAM	0x33
Config-Flash	0x55
Reboot/Reconfig	0x3c

図 5-45 Reinit のタイミング図

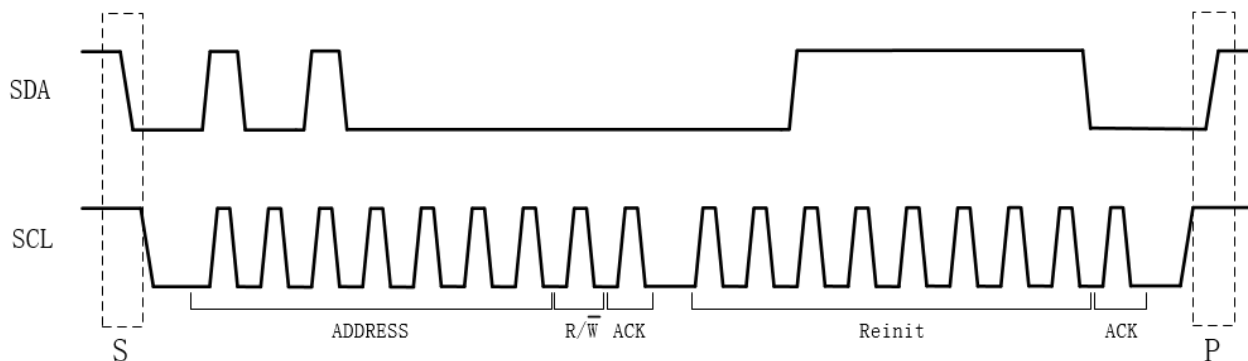


図 5-46 SRAM コンフィギュレーションのタイミング図

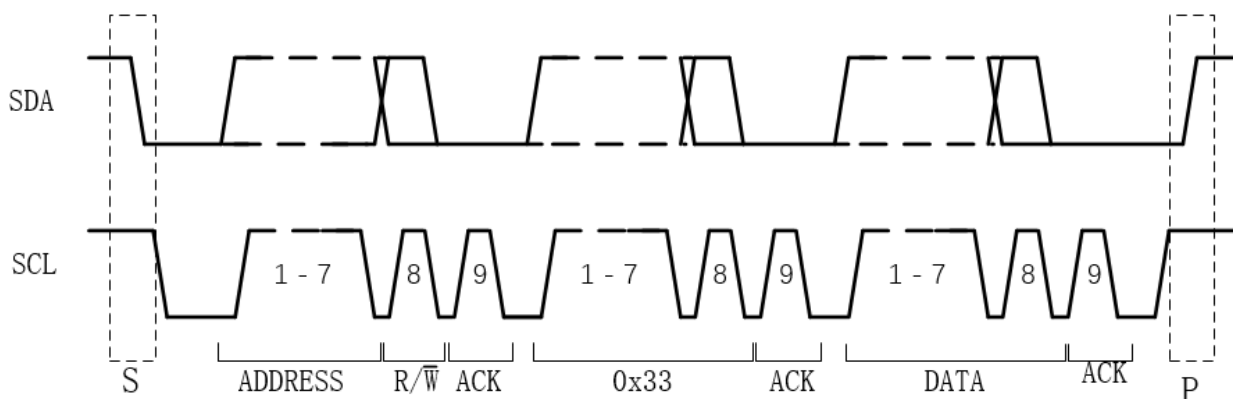


図 5-47 Flash コンフィギュレーションのタイミング図

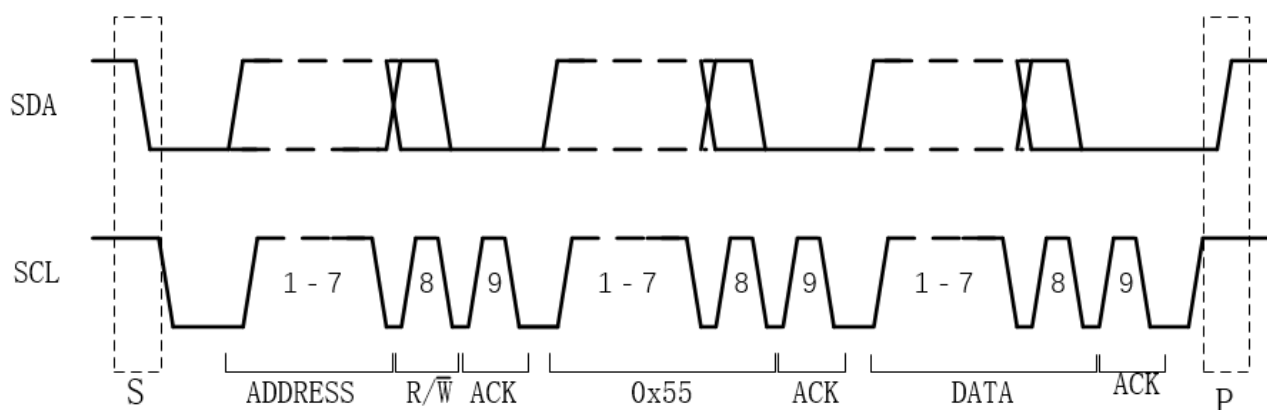
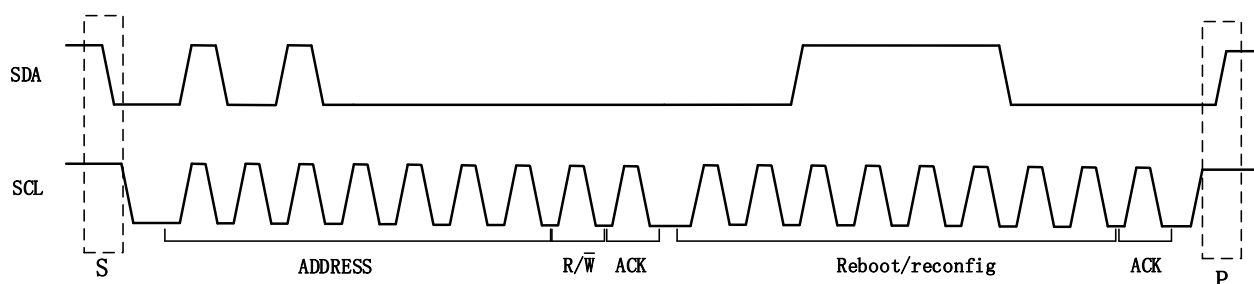


図 5-48 Reboot のタイミング図



5.8.2 I²C を介した SRAM コンフィギュレーションの手順

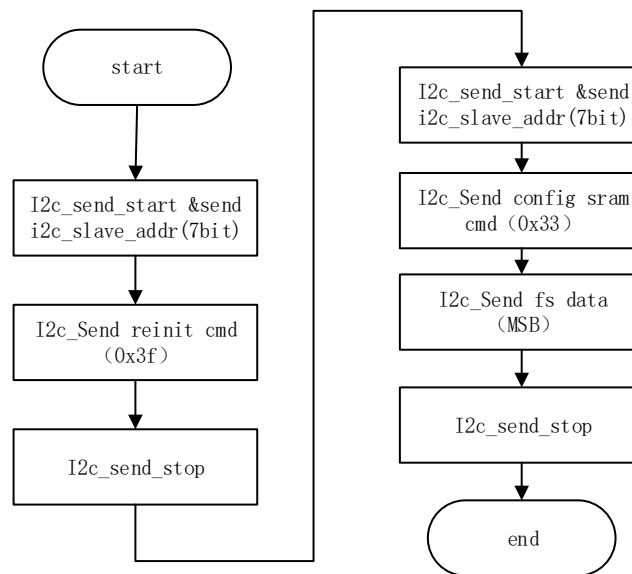
注記：

SRAM を再コンフィギュレーションする場合、まず以前にコンフィギュレーションした SRAM を消去する必要があります。SRAM は、再パワーアップするか、Low パルスで RECONFIG_N ピンをトリガすることによって消去できます。

I²C を介した SRAM コンフィギュレーションの手順は次のとおりです。

1. start 信号と、7 ビットのアドレス + R/W ビット(書き込み)を送信。
2. データ 0x3f(reinit 命令)を送信。
3. stop 信号を送信。
4. start 信号と、7 ビットのアドレス + R/W ビット(書き込み)を送信。
5. データ 0x33(config_sram 命令)を送信。
6. データストリームを MSB フォーマットで送信。
7. データストリームファイルが送信された後に stop 信号を送信。

図 5-49 I2C を介した SRAM コンフィギュレーションのフローチャート



5.8.3 I2C を介した Flash プログラミングの手順

I2C を介した Flash プログラミングのデータの形式は次のとおりです：

CS	SI	-----	SPI value
bit7	bit6	-----	SPI vector 1
bit5	bit4	-----	SPI vector 2
bit3	bit2	-----	SPI vector 3
bit1	bit0	-----	SPI vector 4

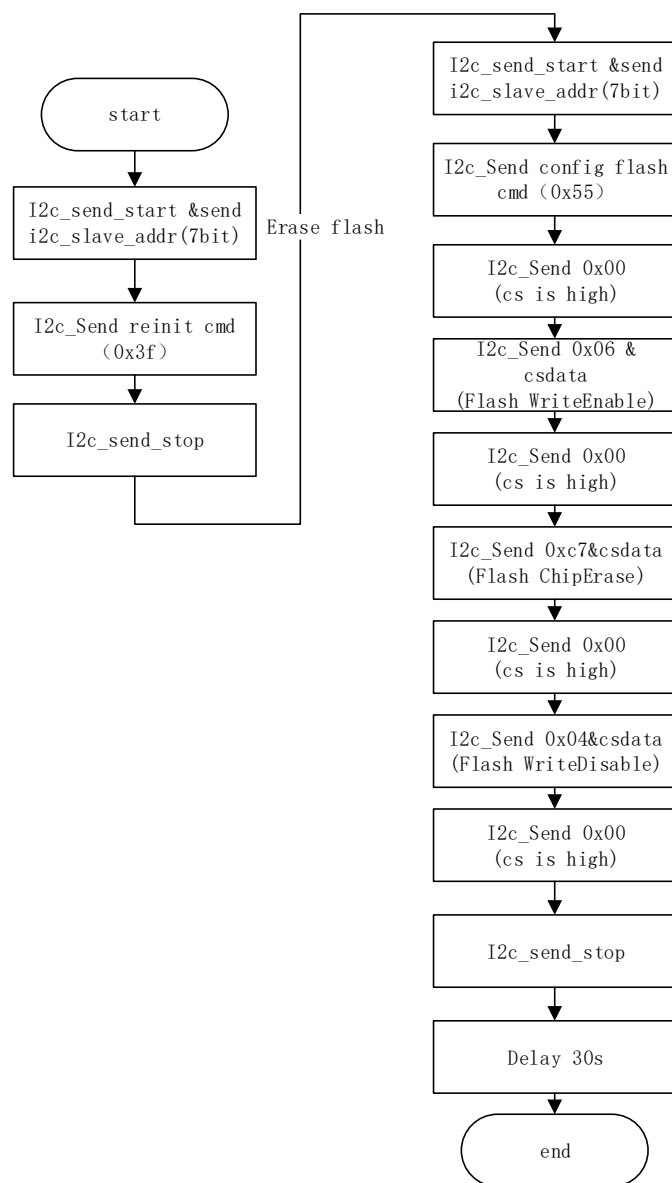
注記：

I2C 解析によって取得された CS の値は、Flash に必要な CS の値と反対です。

I2C を介した Flash 消去の手順

1. start 信号と 7 ビットのアドレスを送信（書き込み）。
2. データ 0x3f(reinit 命令)を送信。
3. stop 信号を送信。
4. start 信号と 7 ビットのアドレスを送信（書き込み）。
5. データ 0x55(config_flash)を送信。
6. データ 0x00 を送信して CS 信号を High にプルアップ。
7. データ 0xaa 0xbe(DI:06&CS:ff)を送信(Flash 書き込みイネーブル)。
8. データ 0x00 を送信して CS 信号を High にプルアップ。
9. データ 0xfa 0xbf(DI:c7&CS:ff)を送信(Flash 消去)。
10. データ 0x00 を送信して CS 信号を High にプルアップ。
11. データ 0xaa 0xba(DI:04&CS:ff)を送信(Flash 書き込みディセーブル)。
12. データ 0x00 を送信して CS 信号を High にプルアップ。
13. stop 信号を送信。
14. 30 秒間遅延し、Flash 消去が完了するのを待つ。

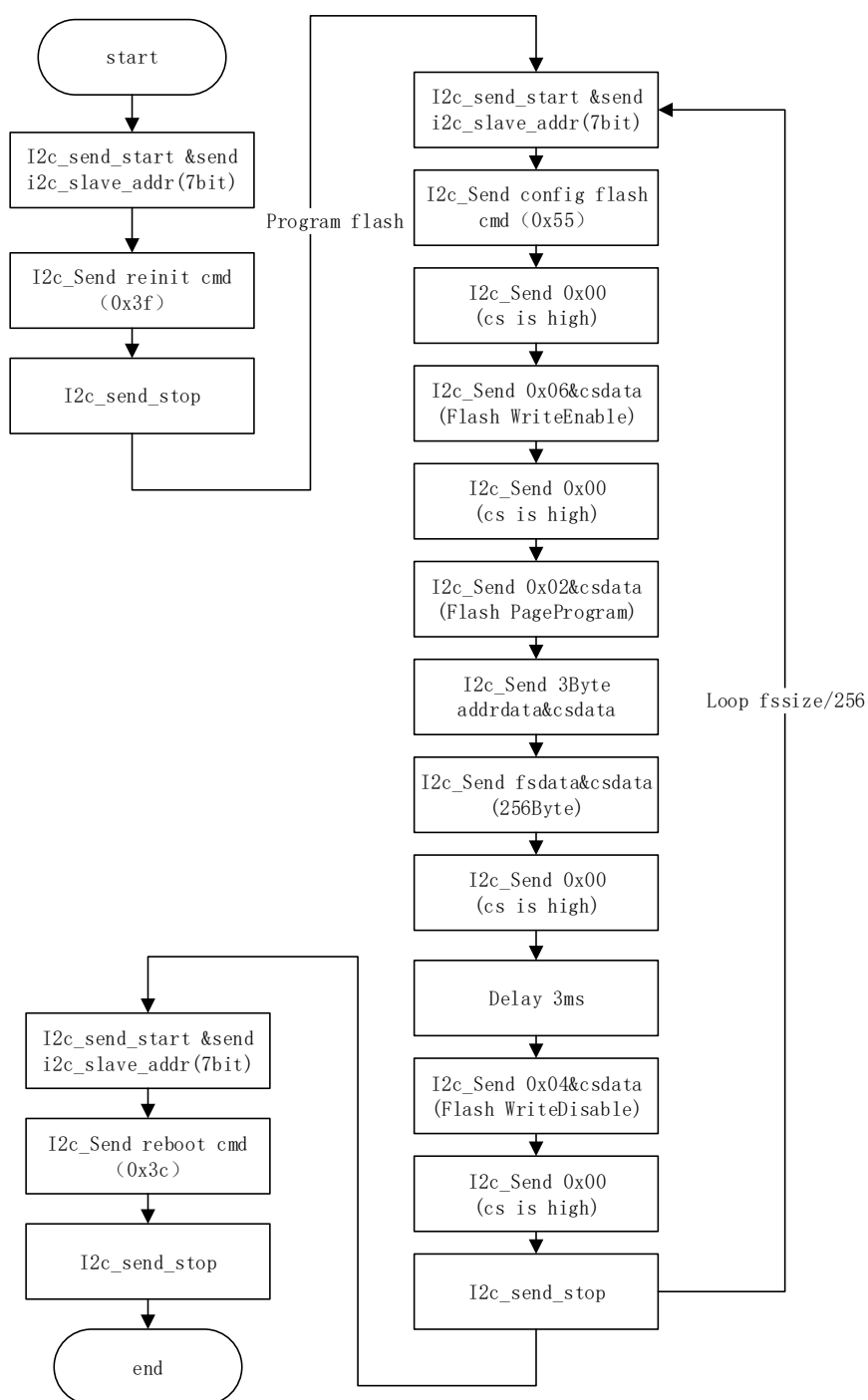
図 5-50 I2C を介した Flash 消去のフローチャート



I2C を介した Flash 書き込みの手順

1. start 信号と 7 ビットのアドレスを送信（書き込み）。
2. データ 0x3f(reinit 命令)を送信。
3. stop 信号を送信。
4. start 信号と 7 ビットのアドレスを送信（書き込み）。
5. データ 0x55(config_flash)を送信。
6. データ 0x00 を送信して CS 信号を High にプルアップ。
7. データ 0xaa 0xbe(DI:06&CS:ff)を送信(Flash 書き込みイネーブル)。
8. データ 0x00 を送信して CS 信号を High にプルアップ。
9. データ 0xaa 0xae(DI:02&CS:ff)を送信(pageprogram 命令)。
10. 24bit アドレス(DI:xx&CS:ff)を送信。
11. データストリーム(DI:xx&CS:ff)を送信。

12. データ 0x00 を送信して CS 信号を High にプルアップ。
13. 3 ミリ秒間遅延。
14. データ 0xaa 0xba(DI:04&CS:ff)を送信(Flash 書き込みディセーブル)。
15. データ 0x00 を送信して CS 信号を High にプルアップ。
16. stop 信号を送信。
17. データストリームファイルが書き込まれるまで、手順 5～15 を繰り返す。
18. start 信号と 7 ビットのアドレスを送信（書き込み）。
19. データ 0x3c(reboot 命令)を送信。
20. stop 信号を送信。

図 5-51 I²C を介した Flash プログラミングのフローチャート

5.9 サンプルファイル

サンプルファイルについては、当社のテクニカル・サポートにお問い合わせください。サンプルファイルでサポートされているコンフィギュレーション・モードとテスト・プラットフォームについては、付録 B サンプルファイル情報を参照してください。

6 ビットストリームファイルの構成

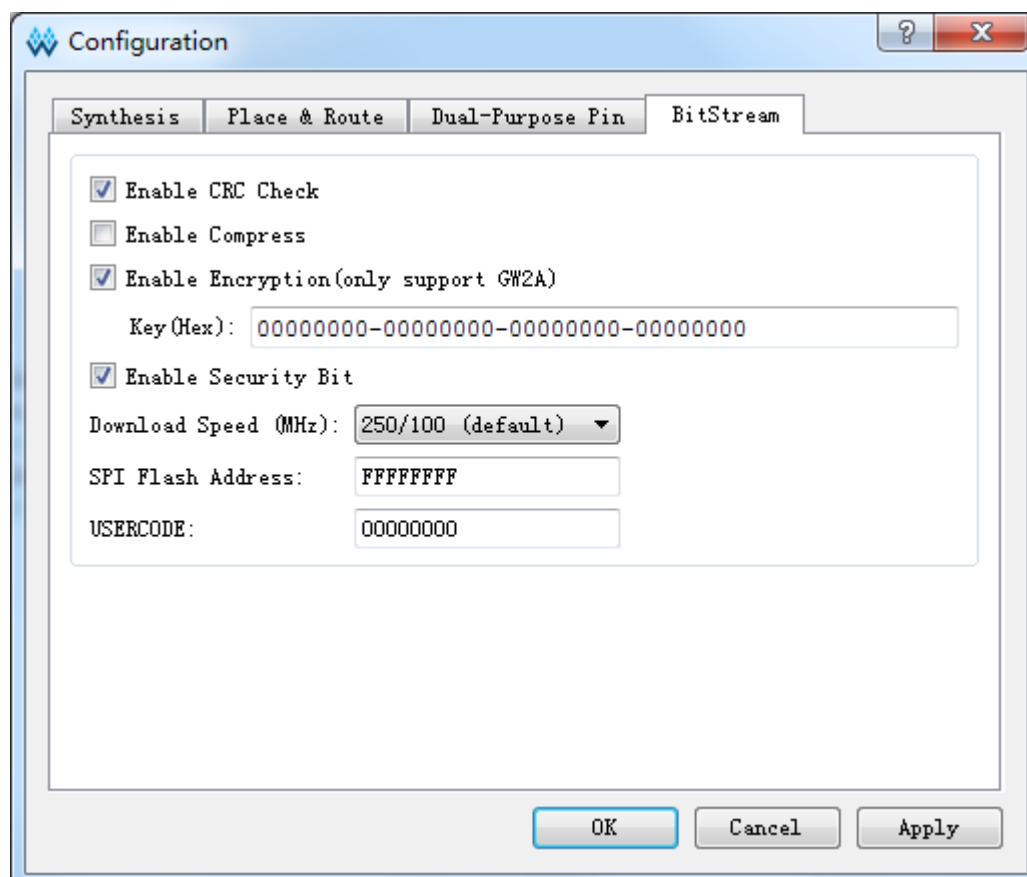
GOWIN セミコンダクターFPGA 製品のプログラミング・コンフィギュレーションの実現するには、Gowin ソフトウェアで構成する必要があります。構成には主にコンフィギュレーションピンの多重化とビットストリームファイルの構成が含まれます。このセクションでは、主にビットストリームファイルの構成について説明します。コンフィギュレーションピンの多重化の詳細については、4.1.2 コンフィギュレーションピンの多重化を参照してください。

コンフィギュレーションデータを安全かつ正確に転送するために、GOWIN セミコンダクターはFPGA 製品のビットストリームファイルにデフォルトでCRC アルゴリズムを追加し、セキュリティビットを設定しています。コンフィギュレーション中、入力データはリアルタイムでチェックされます。データが不正確な場合、デバイスをウェイクアップできず、DONE 信号はLow にプルされます。セキュリティビットが設定されたビットストリームデータのコンフィギュレーション後、ユーザーはデータをリロードバックできません。

6.1 オプションの設定

CRC の設定、ビットストリームデータの圧縮、暗号化キーの設定、セキュリティビットの設定、MSPI コンフィギュレーション周波数の選択、MULTI BOOT コンフィギュレーションモードでのSPI Flash 起動アドレスの設定、USER CODE の設定などのビットストリームデータ関連設定 GUI を図6-1に示します。SPI Flash の起動アドレスの下位12ビットが無効で、設定できるのはADDR [23:12]のアドレス空間です。

図 6-1 オプションの設定



注記：

Gowin ソフトウェアでは、暗号化キー設定オプションにチェックを入れると、セキュアビット設定オプションも強制的にチェックを入れられるようになります。ユーザーは、このようなビットストリームデータでコンフィギュレーションすることで、データ転送の安全性を確保できるとともに、リードバック操作を防止できます。これにより、ユーザーのデータのセキュリティは最大限に保証されます。

6.2 コンフィギュレーションデータの暗号化

GW2AN-18X/9X 製品は、ビットストリームデータの暗号化をサポートします(128-bit の AES 暗号化アルゴリズムを使用)。暗号化されたビットストリームデータのコンフィギュレーション手順は次のとおりです。

1. Gowin ソフトウェアで暗号化キーを入力してビットストリームファイルを生成します。
2. Gowin プログラミングソフトウェアで復号化キーを入力して FPGA に保存します。
3. 暗号化されたビットストリームデータがデバイスにロードされた後、デバイスはデータ解析のために復号化キーを読み出します。
データの解析に成功した後、デバイスは正常にコンフィギュレーションされて動作します。データ解析が失敗した後、デバイスは動作できず、READY および DONE 信号はプルダウンされます。

6.2.1 定義

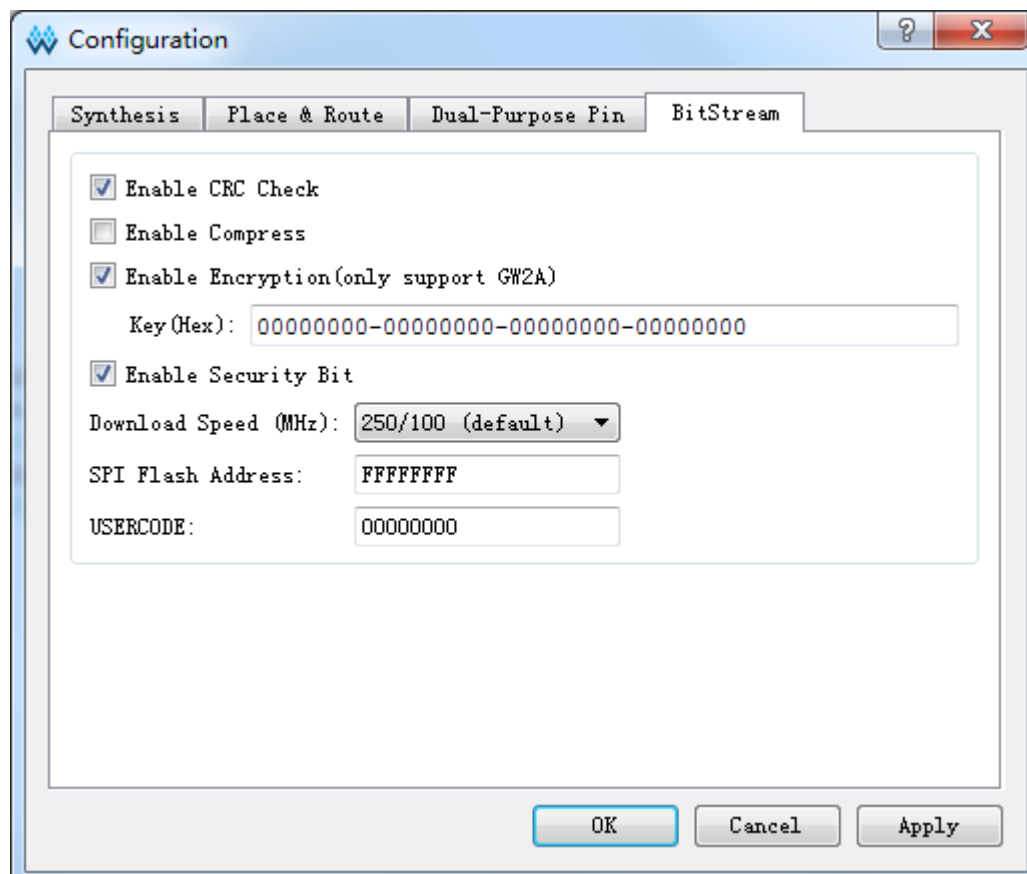
- **AES キー** : AES 暗号化アルゴリズムで使用する、ユーザーが指定する AES プライベートキーです。本文では **key(キー)** と呼びます。
- **AES キーの長さ** : 128 ビット
- **Key** : AES キーの略称。GW2A(R)シリーズ FPGA 製品では **Key** を格納するために 128 ビットの領域が提供されています。
- **Lock** : この命令はキーの読み出し権限の制限に使用されます。本文では、このプロセスを **lock(ロック)** と呼びます。ロック状態になると、リードバックされるデータはすべて 1 となります。

6.2.2 暗号化キーの入力

Gowin ソフトウェアに暗号化キーを入力する方法は次のとおりです。

1. Gowin ソフトウェアでプロジェクトを開きます。
2. メニューバーで “**Project>Configuration**” を選択します。
3. “**BitStream**” タブをクリックし、“**Enable Encryption(only support Arora)**” をチェックしてキーの値を入力します(図 6-2)。

図 6-2 暗号化キーの設定方法



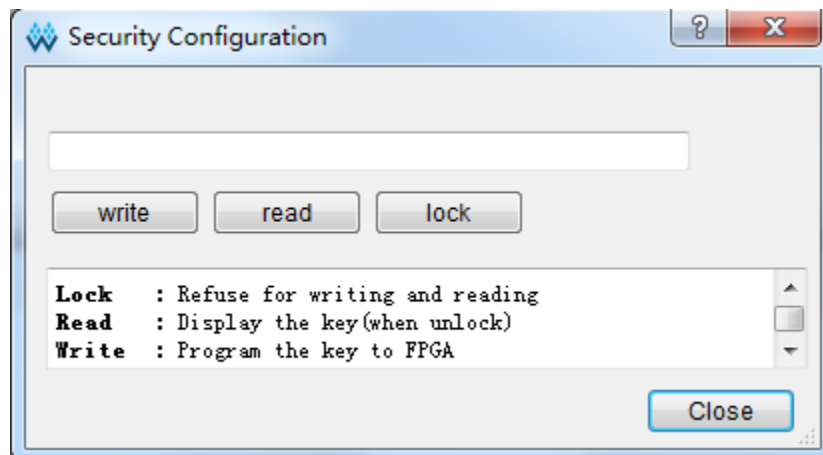
暗号化キーが正しく設定された後、復号化キーを **FPGA** のキー格納領域に書き込む必要があります。これにより、デバイスは暗号化されたビットストリームデータを解析してコンフィギュレーションを実行できます。

6.2.3 復号化キーの入力

復号化キーは次のように書き込まれます。

1. Gowin プログラミングソフトウェアを開きます。
2. FPGA デバイスをスキャンします。
3. デバイスを右クリックして **Configure Security** を選択します。
4. ポップアップしたウィンドウにこの前の暗号化キーの値を入力し、“write” をクリックして **FPGA** に書き込みます(図 6-3)。

図 6-3 復号化キーの設定方法



復号化キーが書き込まれた後、検証のためにインターフェース上の読み出し(read)命令を選択して書き込まれたキーをリードバックすることができます。

キーが書き込まれた後、ユーザーは **lock** 命令を使用してキーを **FPGA** 内にロックすることもできます。これにより、キーの読み出しと書き込みはすべて無効になります。キーの値は変更できず、読み出されたビットは全部“1”となります。

復号化キーが設定された後、暗号化されたビットストリームデータは、復号化キーとの照合に成功した後にのみ利用可能です。暗号化されていないビットストリームデータのコンフィギュレーションは、キーの影響を受けません。

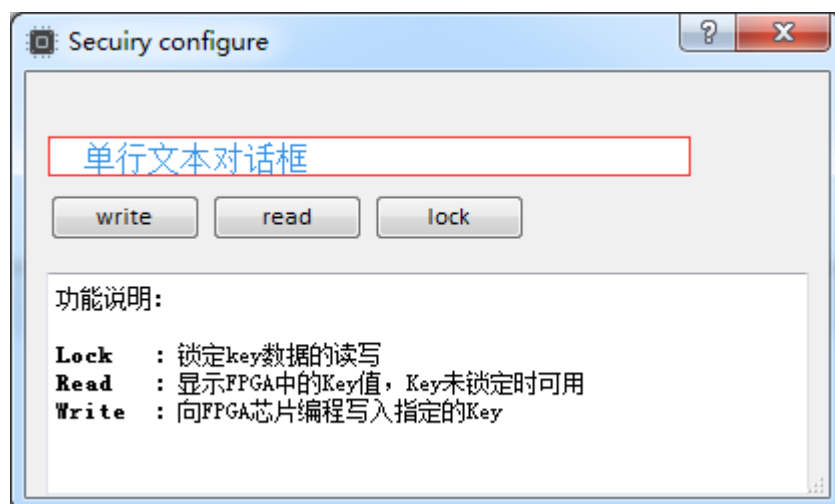
注記：

GOWIN セミコンダクターFPGA のキーの初期値のすべてのビットは 0 です。キー値のビットを 1 に変更した場合、0 に戻すことはできません。たとえば、書き込まれたキー値が 00000000-00000000-00000000-00000001 の場合、このデバイスのキーの最下位ビットは常に 1 でなければなりません。

6.2.4 AES キーのプログラミング操作

Gowin Programmer は、AES キーのプログラミングツールを提供しています。Gowin Programmer で “Edit” > “Security Key Setting” をクリックすると、このツールが開きます(図 6-4)。

図 6-4 AES プログラミングのダイアログ



このプログラムには以下の 3 つの機能があります。

- Write : Key のプログラミング
- Read : Key の読み出し
- Lock : Key の読み出し書き込み権限のロック

Key のプログラミング(Write)

1. ユーザー定義の Key(AES キー)を“単行文本对话框(一行テキストダイアログ)”に入力します。
2. “Write” ボタンをクリックします。
3. この操作が終了します。

Key の読み出し(Read)

“read” ボタンをクリックすると、書き込まれた AES キーを検証することができます。読み出された AES キーは“単行文本对话框(一行テキストダイアログ)”に表示されます。

Key のロック(Lock)

“lock” ボタンをクリックすると、Key の読み出し書き込みがロックされ、AES キーの読み出し書き込みができなくなります。

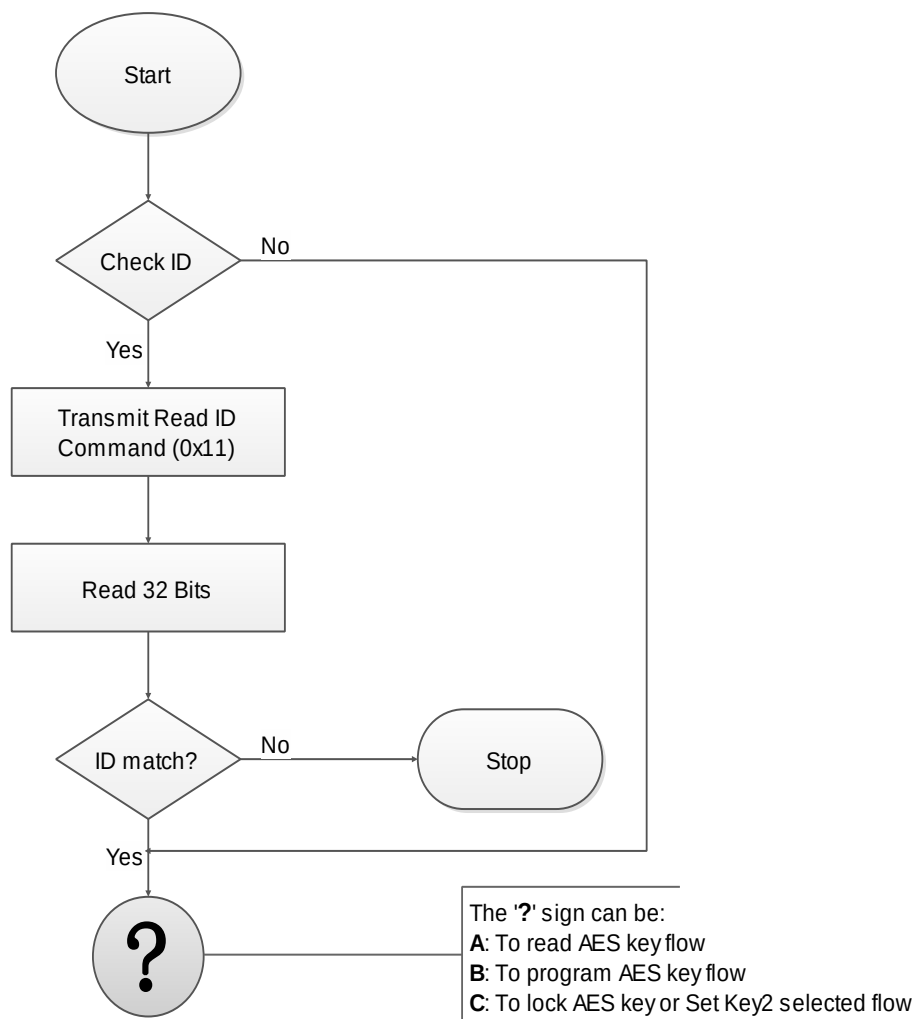
6.2.5 AES キーのプログラミング手順

図 6-5 ~ 図 6-8 は、AES キーのプログラミングまたはロックの手順です。これらの手順は JTAG プロトコルに基づいています。

ID CODE のチェック

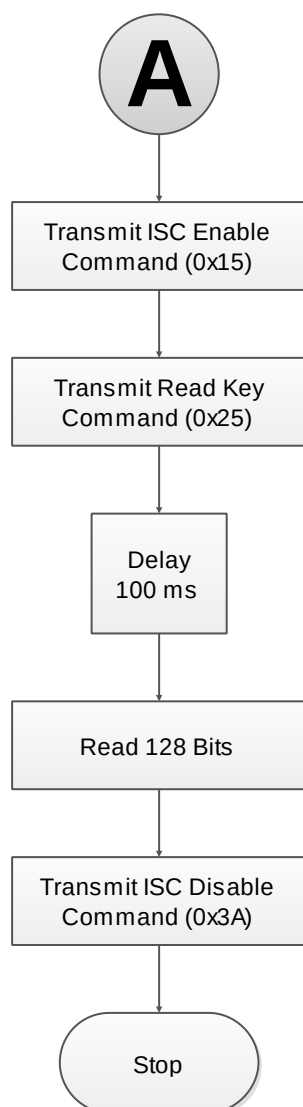
デバイスの ID をチェックすることにより、JTAG プロトコルが正しく動作しているかどうかを判断できるとともに、プログラミング対象が正しいかどうかを確認できます。

図 6-5 準備



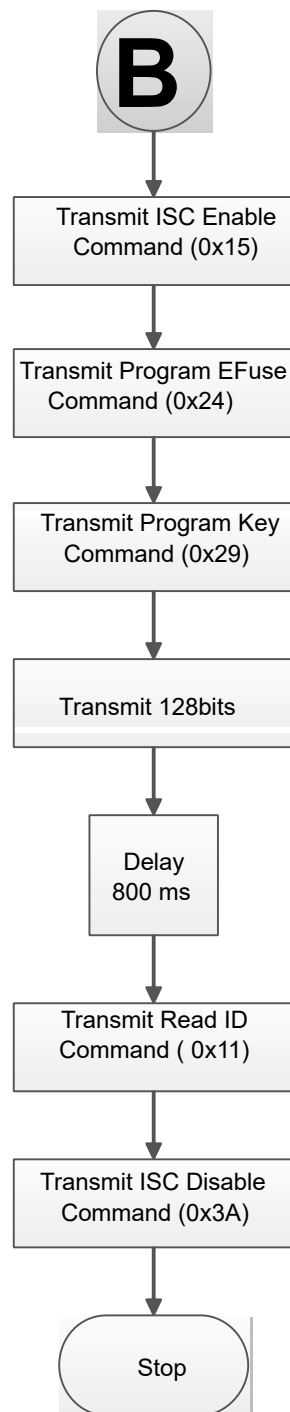
AES Key の読み出し

図 6-6 AES Key の読み出しのフローチャート



AES Key のプログラミング

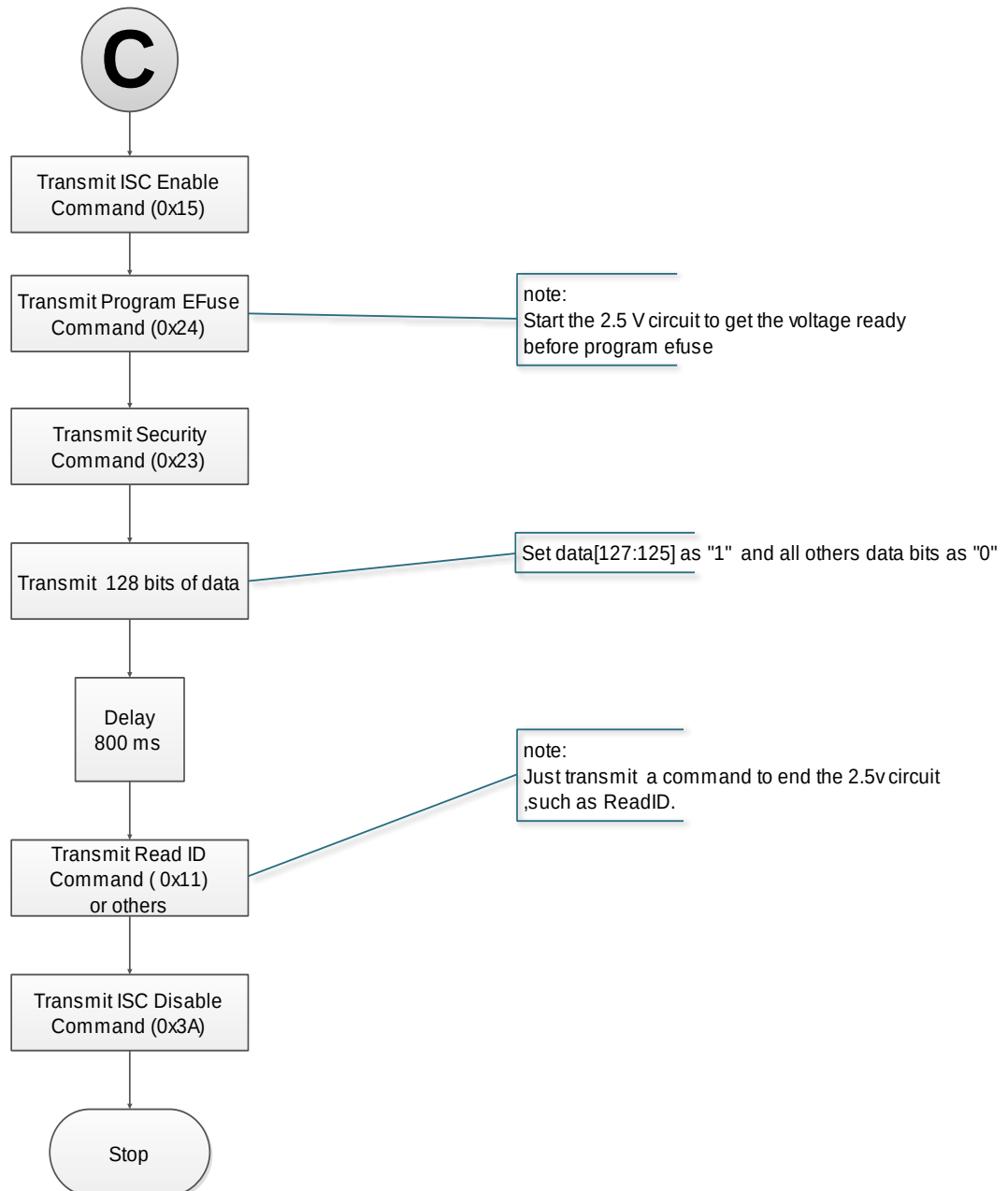
図 6-7 AES Key のプログラミングのフローチャート



AES Key のロック

AES Key をロックすることにより、キーの漏洩を防ぐことができます。AES Key がロックされた後、キーを読み出し/書き込みすることはできません。

図 6-8 AES Key のロックのフローチャート

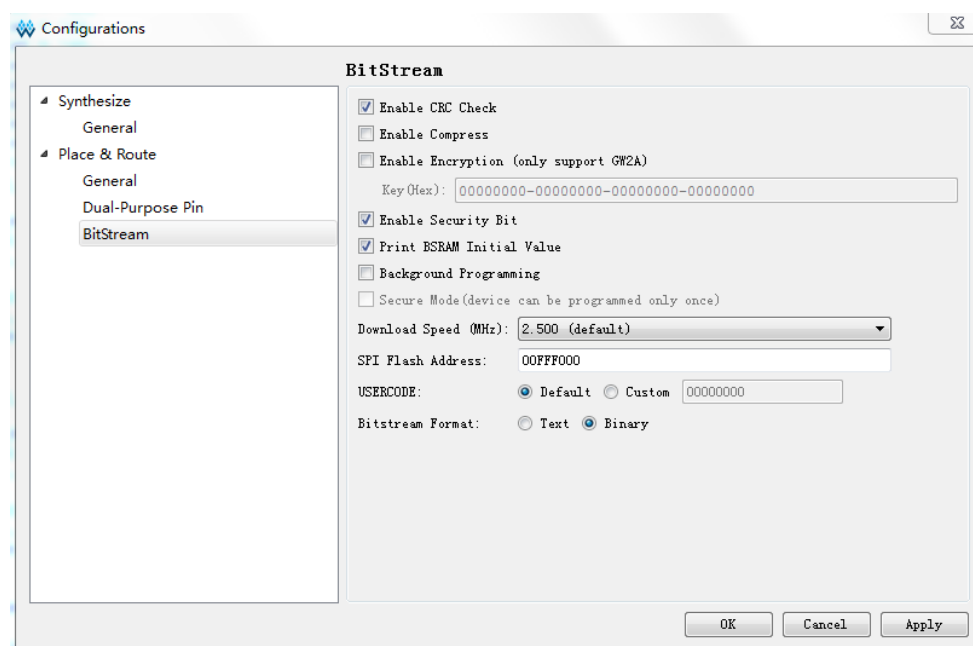


6.3 コンフィギュレーションファイルのサイズ

GOWIN セミコンダクターFPGA 製品のコンフィギュレーション用ビットストリームファイルの保存形式には、コメント情報を含むテキスト形式(ASCII)のファイルと、コメント情報のないバイナリ形式のファイルが含まれます。テキスト形式のファイル(拡張子は.fs)には、「//」で始まる行はコメントであり、その他の部分はビットストリームデータです。バイナリ形式のファイル(拡張子は.bin)には、コメントは含まれていません。このファイル形式は、通常、組み込みプログラミングに使用されます。ユーザーは Gowin ソフトウェアで保存形式を設定できます。

1. Gowin ソフトウェアを開きます。
2. Process タブの Place&Route を右クリックして、Configuration > BitStream を選択します。
3. 図 6-9 に示すように、Bitstream Format オプションでテキスト形式またはバイナリ形式を選択します。

図 6-9 ビットストリーム形式の生成



GOWIN セミコンダクターは、ビットストリームデータの圧縮をサポートしています。圧縮率はユーザーの設計によって異なります。このドキュメントでは、圧縮されていないコンフィギュレーションファイルのサイズのみを示します(表 6-1)。

表 6-1 Gowin GW2AN-18X/9X FPGA 製品のコンフィギュレーションファイルのサイズ(最大値)

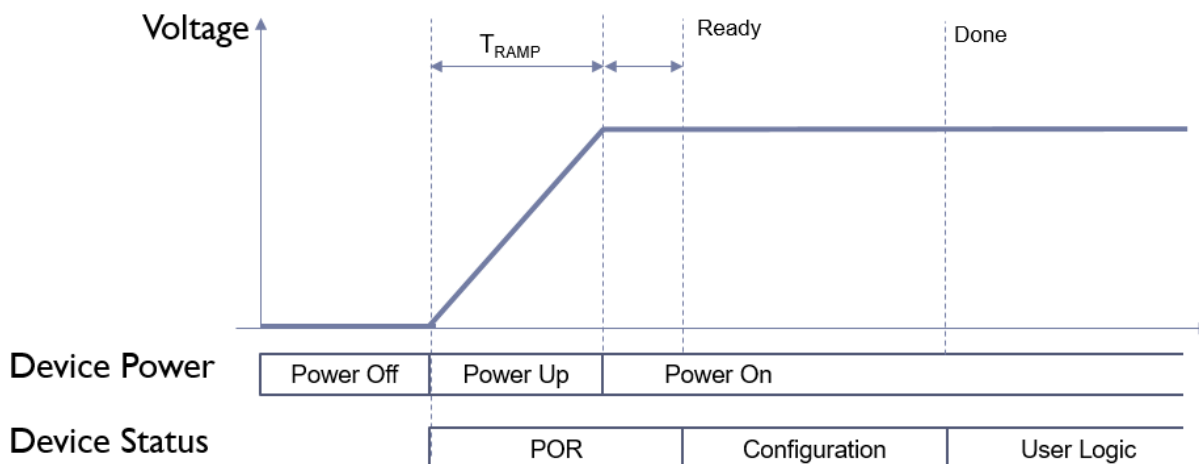
LUT 数	コンフィギュレーションファイルのサイズ(最大値)
8,640	435 KBytes
20,736	887 KBytes

注記：

表に記載のデータは、圧縮されていないバイナリ形式のファイルのサイズです。

6.4 コンフィギュレーションファイルのロード時間

FPGA はマスターとして Flash からデータストリーム・ファイルを読み出して SRAM に書き込むことができます。この場合、AUTO BOOT(オンチップ Flash の場合)と MSPI(オフチップ Flash の場合)の 2 つのコンフィギュレーションモードがあります。下図に示すように、パワーアップ後、FPGA は Ready 後にデータストリーム・ファイルを読み出してコンフィギュレーションを実行します。コンフィギュレーション後、FPGA は User Logic 状態になります。



GW2AN-18X/9X は Quad SPI モードをサポートしています。このモードでは、デバイスはオンチップ Flash からデータを読み出してコンフィギュレーションを実行します。コンフィギュレーションファイルの読み出しのデフォルトの周波数は 100MHz です。SPI クロックごとに 4 ビットが読み出されるため、ロードに必要な時間はファイルのサイズに応じて計算できます。MSPI モードでの SPI Flash 読み出しクロックの周波数は最大 100MHz です。また、Fast Read SPI(0x0B)を使用する場合、FastRead_N ピンを接地する必要があります。

ロード時間は、コンフィギュレーションファイルのサイズ、ロードの周波数、およびクロックごとのロード数により異なります。

AUTO BOOT モードでのデータストリーム・ファイルのロード時間は表 6-2 のとおりです。

表 6-2 AUTO BOOT モードでのデータストリーム・ファイルのロード時間

LUT 数	コンフィギュレーションファイルのサイズ(最大値)	ロード周波数=100MHz の場合のロード時間(ms) (Quad SPI)
10,368	252 KBytes	6.4
20,736	887 KBytes	22

上記のロード時間は参照用です。コンフィギュレーション時間に加えて、パワーアップ時間 **Tramp** とデバイスの初期化時間もあります。パワーアップ時間は、デバイスにより異なるので、自分で測定する必要があります。したがって、パワーアップから **FPGA** のロードが完了するまでのおよその時間は次のように計算できます。

AUTO BOOT QMSPI モード：

$T_{\text{ロード時間}} = \text{POR 時間} + \text{データストリームのビット数}/4/\text{ロード周波数}$

AUTO BOOT MSPI モード：

$T_{\text{ロード時間}} = \text{POR 時間} + \text{データストリームのビット数}/\text{ロード周波数}$

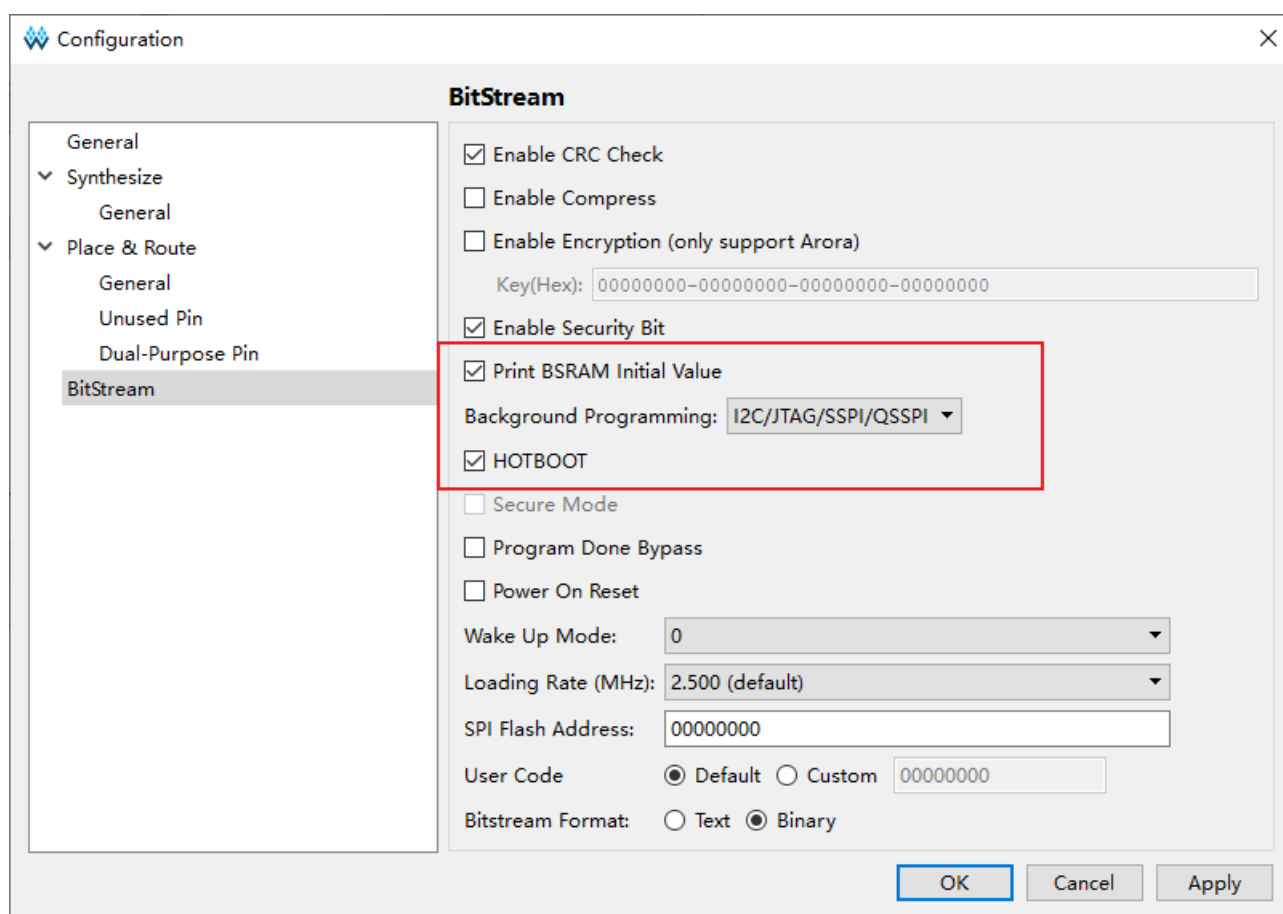
GW2AN-18X および GW2AN-9X の POR 時間は約 6.3 ミリ秒です。

6.5 バックグラウンドプログラミング(Background Programming)

バックグラウンドプログラミングにより、現在の機能に影響を与えずに Flash 内のデータファイルをアップグレードできます。この場合、デバイスのプログラミングは元のコンフィギュレーションを中断せず、新しいデータストリームファイルがロードされる際にも IO 状態を維持できます。

GW2AN-18X/9X シリーズは、JTAG/I2C/SSPI/QSSPI プロトコルでのバックグラウンドプログラミングをサポートしています。これは、プログラミングのタイミングを変更する必要がなく、IDE でこの機能を選択するだけで済みます。

図 6-10 Background Programming オプション



7 安全上の考慮事項

ユーザーが **FPGA** を使用して設計する場合、セキュリティの問題が重要な考慮事項となります。**GOWIN** セミコンダクターのプログラミングソフトウェアでは、デバイスの機能を考慮して一連のセキュリティ対策が開発され、ユーザーのビットストリームデータを確実に保護できます。

セキュリティ対策は、大きく **3** つの段階に分けられます。

- コンフィギュレーションの前に、プログラミングソフトウェアは自動的にビットストリームデータの有効性をチェックします。
- コンフィギュレーション中に、デバイスはリアルタイムで転送データが正しいかをチェックします。
- コンフィギュレーションが完了した後、デバイスは動作状態に入り、あらゆる形式のリードバック要求をブロックします。

3 つの段階の詳細は以下のとおりです。

コンフィギュレーション前

GOWIN セミコンダクターのプログラミングソフトウェアを使用してコンフィギュレーションするには、以下の手順を参照してください。

1. コンフィギュレーション回路のハードウェア接続を実行します。
2. プログラミングソフトウェアを起動してデバイススキャンを実行し、接続されている **FPGA** 製品は自動的に識別されます。
3. ビットストリームデータとプログラミング・コンフィギュレーションモードを選択してデバイスのプログラミング・コンフィギュレーションを実行します。

上記のプロセスでは、プログラミングソフトウェアはまず接続されたデバイスの ID を読み出し、次にそれをユーザーによって選択されたビットストリームデータ内の ID と比較し、この 2 つの ID が一致した場合にのみプログラミング/コンフィギュレーションを実行できます。

注記：

GOWIN セミコンダクターFPGA 製品には、他の製品と区別するための固有の ID があります。Gowin ソフトウェアによって生成されたビットストリームデータにはデバイスの ID 検証命令が自動的に追加されています。ユーザーは、プロジェクトを作成するときにデバイスを選択するだけで済みます。

コンフィギュレーション中

コンフィギュレーションが開始した後、デバイスはまず検証のためにビットストリームデータの ID を読み出し、検証がパスした後にプログラミング・コンフィギュレーションを開始します。ビットストリームデータの改ざんや送信中に発生する可能性のあるエラーを防ぐために、GOWIN セミコンダクターデバイスは CRC 方法を使用して、ビットストリームファイル内のすべてのデータビットが FPGA に正しく書き込まれるようにします。

Gowin ソフトウェアによって生成されたビットストリームデータの各アドレスの後には、当該アドレスに対応するデータの CRC チェックコードが追加されています。GOWIN FPGA がデータを受信中にも継続的にチェックコードを生成し、それを受信されたチェックコードと比較します。チェックエラーが発見されると、それ以降のデータは無視され、コンフィギュレーションが完了しても DONE インジケータは点灯せず、CRC チェックエラーがプログラミングソフトウェア GUI に表示されます。

コンフィギュレーション完了後

コンフィギュレーションが完了した後、デバイスのビットストリームデータが、ユーザーが選択したプログラミング・コンフィギュレーションモードに従って SRAM にロードされるか、オンチップ Flash に格納されます。

- SRAM にロードされたデータの場合、Gowin ソフトウェアがビットストリームデータの生成時にセキュリティビットを自動的に設定したため、ユーザーは SRAM 内のデータを読み出すことができません。
- オンチップ Flash に格納されているデータの場合、Flash へのプログラミングが完了した後、Flash は AUTO BOOT モードに入り、すべての読み出しが禁止されます。
- Gowin GW2AN-18X/9X FPGA 製品を使用する場合は、ビットストリームデータを生成するとき、AES 暗号化を使用することをお勧めします。

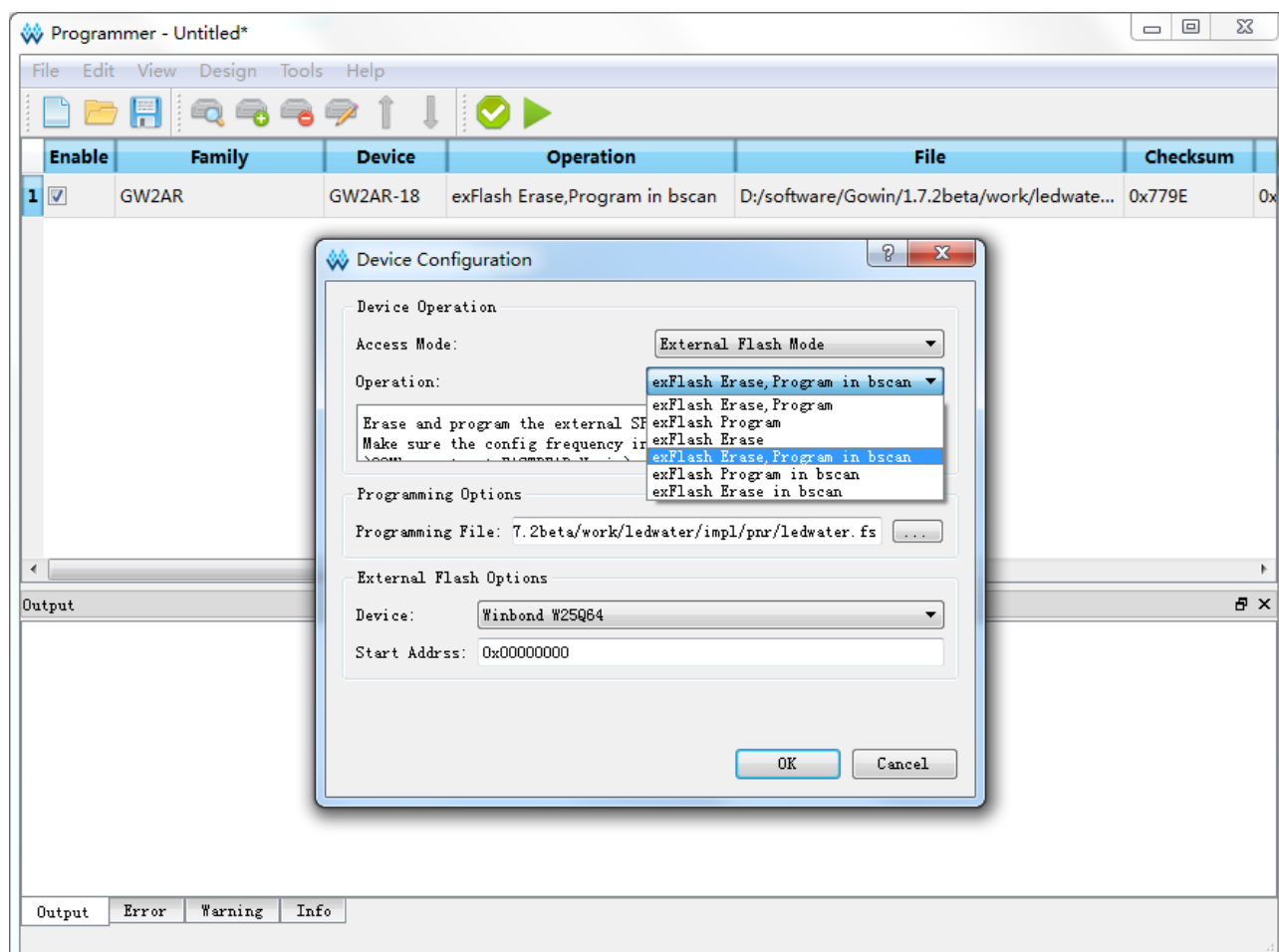
8 バウンダリスキャン

バウンダリスキャンは、**JTAG** コンフィギュレーションモードの拡張機能です。スキャンチェーンにはロングチェーンとショートチェーンがあります：ロングチェーンは主に **BSDL** ファイルを利用してデバイスのテストに使用され、ショートチェーンは主に **FPGA** チェーン上のオフチップ **Flash** の消去および読み出しと書き込みに使用されます。

バウンダリスキャンの操作手順は次のとおりです。

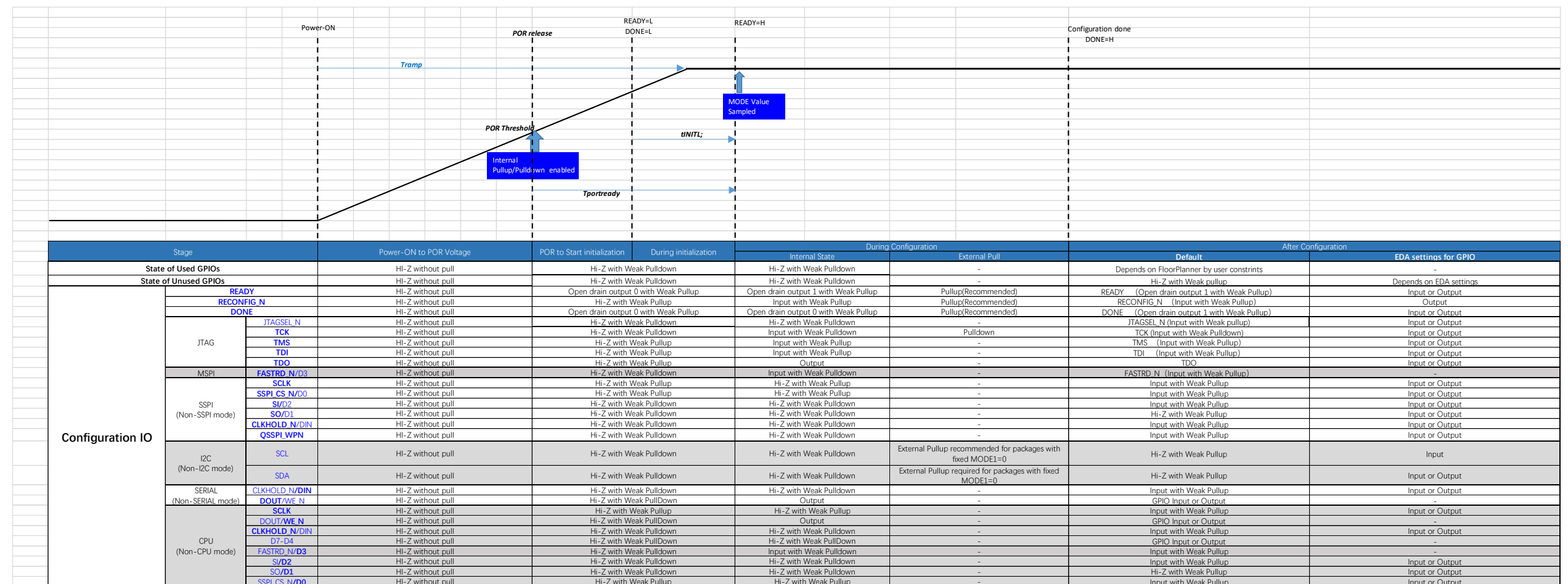
1. **FPGA** 開発ボードを **PC** に接続して電源を入れます。
2. **Gowin** プログラミングソフトを開き、接続されているデバイスをスキャンします。
3. **Operation** の下をダブルクリックしてオフチップ **Flash** を選択し、関連する **bscan** 操作を選択します(図 8-1)。

図 8-1 バウンダリスキャン操作の説明図

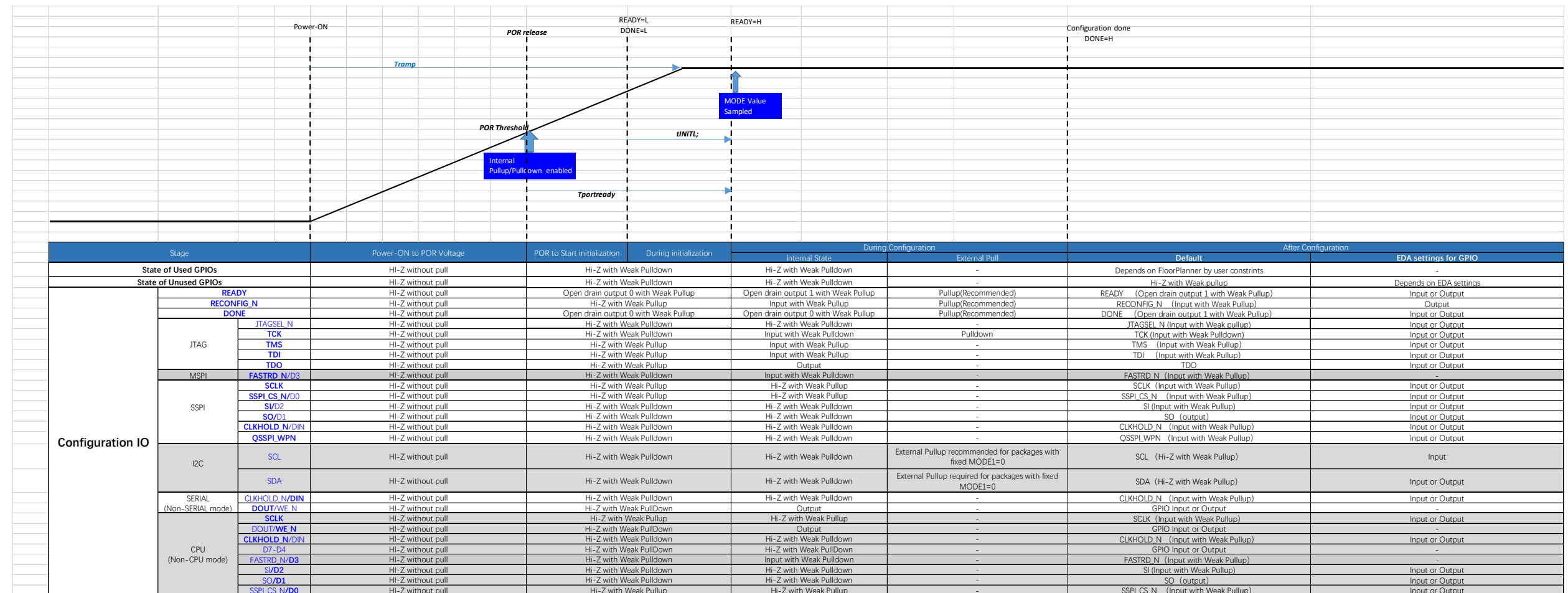


バウンダリスキャン操作は、FPGA のオフチップ Flash に対してのみ実行可能で、オンチップ Flash や SRAM をプログラミング・コンフィギュレーションするためには使用することはできません。バウンダリスキャン操作によりオフチップ Flash をプログラミングする場合、FPGA MODE 値は任意ですが、バウンダリスキャン操作によるプログラミングは、従来の JTAG によるオフチップ Flash プログラミング方法より遅くなります。

表 A-1 GW2AN-18X & 9X デバイスのピンの各ステージにおける状態(MSPI, MODE=00)



91(92)



付録 **B** サンプルファイル情報

表 B-1 サンプルファイル情報

Gowin FPGA デバイス	コンフィギュレーション・モード	sram or flash	コード・テスト・プラットフォーム	備考
GW2AN-9X/18X	jtag	sram/flash	stm32	-
	sspi/qspi	flash	stm32	-
	i2c	sram/flash	stm32	goConfig_i2c の混合使用例があります。
	jtag&spi	flash	stm32	プログラミングは SPI 経由で実装され、状態機械の遷移は JTAG 経由で制御されます。
その他	Huffman Coding	sram	stm32	ソフトウェア圧縮アルゴリズム。ストレージリソースが限られた組み込みデバイスに適用します。b3Compress は PC 用圧縮ツールです。

